

ELTEC

**Handbuch
EUROCOM II V7
Hardware**

DO .E2 00359

Inhaltsverzeichnis

1. Einleitung	5
2. Technische Eigenschaften	6
3. Gesamtfunktionsbeschreibung	9
4. Funktionsblock CPU	11
5. Funktionsblock RAM/ROM	17
6. Funktionsblock Parallel-I/O	21
7. Funktionsblock Seriell-I/O	25
8. Funktionsblock Videocontroller	29
9. Programmable-Array-Logik-Bausteine (PAL's)	35
10. Funktionsblock Floppy-Disk-Controller	45
11. Schalter	50
12. Jumper	50
13. Einstellung der Schalter und Jumper	51
14. Lieferform, Lieferumfang	52
15. Modifikationen bei Optionen	53
16. Stromversorgung	54
17. Monitorprogramme	55
18. Sonstige Firmware	56
19. Belegung Stecker St. 1	57
20. Belegung Stecker St. 2	58
21. Belegung Stecker St. 3	59
22. Belegung Stecker St. 4	60
23. Belegung Stecker St. 5	61
24. Belegung Stecker St. 10	62
25. Stückliste	63

Verzeichnis der Bilder

1. Übersichtsblockschaltbild	8
2. Funktionsschaltbild CPU	10
3. Zugriff auf MRDY des Prozessors	12
4. Blockschaltbild RAM-Steuerung	16
5. RAM-Steuerungs-Timing	18
6. Blockschaltbild Parallel-I/O	20
7. Blockschaltbild Seriell-I/O	24
8. Blockschaltbild Videocontroller	28
9. Abbildung der RAM-Adressen auf dem Bildschirm	31
10. Blockschaltbild Floppy-Disk-Controller	44

Anhang

- A Datenblatt 6809 CPU
- B Datenblatt 6850 ACIA
- C Datenblatt 6821 PIA
- D Datenblatt 179X-02 FDC
- E Schaltplan Teil 1
 - Schaltplan Teil 2
 - Schaltplan Teil 3

© 1982 ELTEC Elektronik GmbH, Mainz

Das Werk ist urheberrechtlich geschützt. Die dadurch begründeten Rechte, insbesondere die der Übersetzung, des Nachdrucks, der Funksendung, der Wiedergabe auf photomechanischen oder ähnlichem Wege sowie der Speicherung und Auswertung in Datenverarbeitungsanlagen, bleiben auch bei auszugsweiser Verwertung vorbehalten. Werden mit schriftlicher Einwilligung der Firma ELTEC einzelne Vervielfältigungsstücke für gewerbliche Zwecke hergestellt, so ist an die Firma ELTEC die nach § 54 Abs. 2 Urh. G. zu zahlende Vergütung zu entrichten, über deren Höhe die Firma ELTEC Auskunft gibt.

Die Firma ELTEC behält sich das Recht vor, jederzeit und ohne Ankündigung das hier beschriebene Produkt gemäß dem technischen Fortschritt zu ändern. Obwohl dieses Dokument sorgfältig überprüft wurde, übernimmt die Firma ELTEC keine Gewähr für Druckfehler und daraus entstehenden Schäden.

Gesamtherstellung: ELTEC Elektronik GmbH, Mainz

Dokumentation EUROCOM 2 Version 7

1. Einleitung

In dieser Dokumentation wird die Hardware der Platine EUROCOM 2 Version 7 (E2-V7) dokumentiert. Die Firmware (Monitorprogramm) wird in gesonderten Schriften beschrieben. Ist die Platine Bestandteil eines Systems, beachte man bitte auch die entsprechende Rahmendokumentation.

Dieses Handbuch und die darin enthaltenen Informationen wurden mit der gebotenen Sorgfalt zusammengestellt. Dennoch garantiert die Firma ELTEC Elektronik GmbH nicht für Fehlerfreiheit.

Desweiteren behält sich die Firma ELTEC Elektronik GmbH das Recht vor, Änderungen an ihren Produkten vorzunehmen, die der technischen Weiterentwicklung dienen. Diese Änderungen werden nicht notwendigerweise in jedem Einzelfall dokumentiert.

Stand: Jan. 82

2. Technische Eigenschaften im Überblick

Die Platine E2-V7 ist eine Prozessorplatine im Doppel-Europa-Format mit folgenden Spezifikationen:

CPU MC6809

Bis 64 KByte RAM-Speicher

Bis 8 KByte EPROM-Speicher (2 Steckplätze)

Floppy-Disk-Controller für bis zu 4 5"- oder 8"- Laufwerke (Double Side);

bei 5" mit entsprechendem Controller-Chip auch Double Density

40 periphere Leitungen realisiert mit 2 Peripheren Interface Adaptern (PIA 6820/1)

1 serielle Schnittstelle nach RS 232C/V24 realisiert mit einem ACIA-Baustein 6850

Vollgrafik-Videocontroller für direkten Anschluß von Rasterbildschirmen

(Composite-Video-Signal: 15,625 KHz Zeilenfrequenz, 50 Hz Bildfrequenz)

mit einer Auflösung von 512 H x 256 V Pixel

Text- und Grafikdarstellung beliebig mischbar

Beliebige Zeichengröße und -gestalt per Software realisierbar

Durch Verwendung von PAL's flexible Adressbelegung

Einsatz von Stromschienen

Computer-gezeichnetes Layout

Die Platine E2-V7 wurde konzipiert für den Einsatz als Single-Board-Computer ebenso wie für den Einsatz als weit ausgebautes, komfortables Computersystem mit bis zu 256 KByte Adressraum.

Es steht eine breite Palette von Zusatzkarten zur Verfügung:

Floppy-Disk-Controller mit DMA-Controller und IEC-Bus-Interface

zum Betrieb von bis zu 4 Floppy-Disk-Laufwerken

(5" und 8" Single density/ double density); single side/double side

RAM-Erweiterungskarten mit je 32, bzw. 96 KByte RAM

Verschiedene I/O-Karten

Zusatzkarte für Fremdsynchronisation auf ein externes Video-Synchronraster,

doppelte Auflösung (512 H x 511 V, interlaced-mode) und Videobild-DMA

High-speed-Interface als schneller paralleler Eingangskanal (max. 8 MHz Datenrate) für asynchrone Bildsensoren

EPROM-Karte mit 16 EPROM-Steckplätzen (max. 64 KByte)

EPROM-Programmierskarte

Video-look-up-table für Bildbearbeitung und RGB-Mischer zur Ansteuerung von Analog-RGB-Monitoren (bis 64 Farben)

Interface für Philips' Mini-DCR

Busplatinen/Motherboards

Weitere an den E2-Bus anschließbare Karten befinden sich in der Entwicklung.

Für die Platine E2-V7 existiert umfangreiche Software für viele Anwendungsbereiche. Die residente Firmware enthält einen Debug-Monitor und stellt dem Benutzer eine Reihe hilfreicher Unterprogramme zur Verfügung.

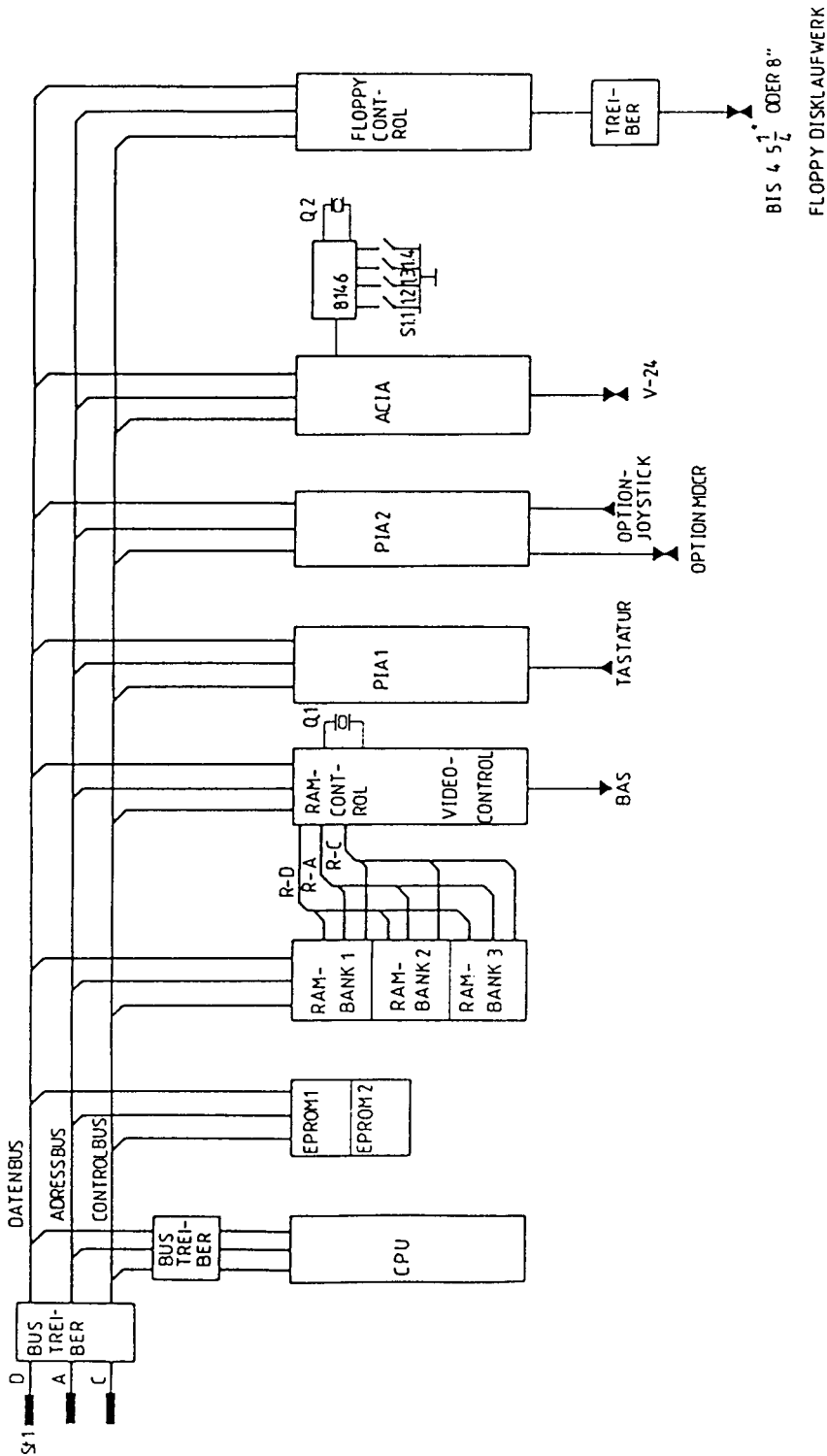
2.1 Kompatibilität mit anderen Version

Die Platine E2-V7 ist schaltungs- und funktionsidentisch mit der Platine E2-V6 in folgenden Punkten:

- Funktionsblock CPU
- Funktionsblock Videocontroller
- Funktionsblock Parallel-I/O
- Funktionsblock Seriell-I/O

Im Unterschied zu E2-V6 ist der Funktionsblock RAM mit 64 KBit dynamischen RAM's aufgebaut. Der Funktionsblock EPROM besteht nur aus 2 Steckplätzen. Zusätzlich wurde der Funktionsblock Floppy-Disk-Controller integriert.

Bild 1: Übersichtsblattschaltbild



3. Gesamtfunktionsbeschreibung

Bitte ziehen Sie zum leichteren Verständnis das Übersichtsblockschaltbild Bild 1 heran!

Die zentrale Taktfrequenz CLK (10,7172 MHz) taktet die gesamte Speichersteuerung, den Videocontroller und die CPU.

Der Bus-Zyklus der verwendeten CPU MC6809 weist folgende Besonderheit auf: Während der ersten Phase (E = log. '0') wird der Datenbus von der CPU nicht benutzt. In dieser Phase greift der Video-Controller auf den RAM-Bereich zu und liest das Bitmuster der vom Register VICO1 selektierten Speicherbank auf den Videoausgang aus. Gleichzeitig wird damit der Refresh der verwendeten dynamischen Speicherbausteine besorgt, sodaß weder eine zusätzliche Refreshlogik erforderlich ist, noch CPU-Zeit verlorengeht. Videoeinheit und CPU arbeiten also -was den Zugriff auf den Datenbus betrifft- um 180 Grad phasenverschoben. Diese Synchronisation ergibt sich nicht automatisch. Sie wird beim Einschalten dadurch hergestellt, daß das E-Signal der CPU mit einem Referenzsignal in einem Phasenkomparator verglichen wird und über den CPU-Eingang MRDY das E-Signal solange gezogen wird, bis die erforderlichen Phasenbedingungen erfüllt sind (Vgl. Datenblatt MC6809!).

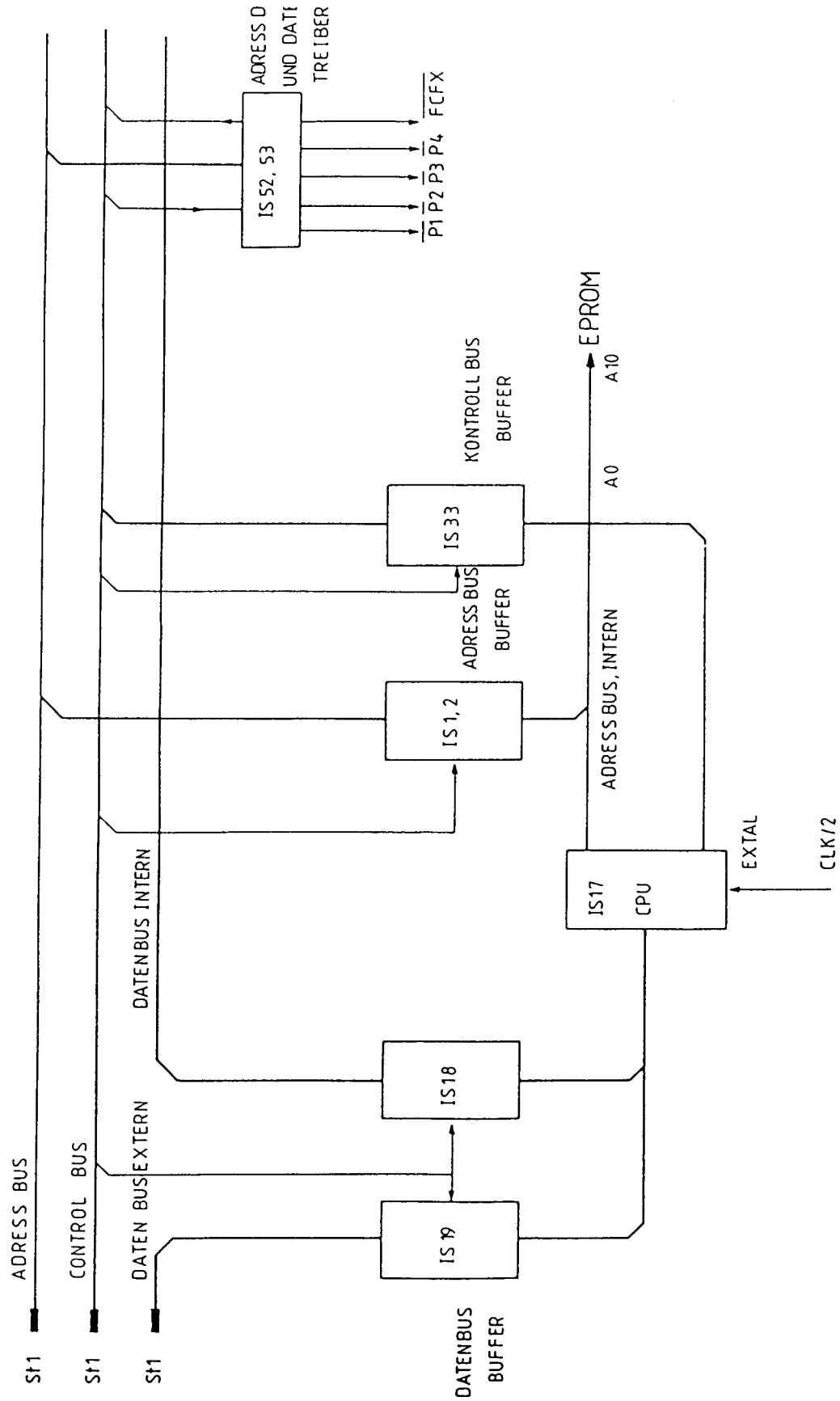
Als Besonderheit ergibt sich daraus für den Anwender, daß die Leitung MRDY des Prozessors nicht völlig wahlfrei benutzt werden kann. Vergleichen Sie dazu bei Bedarf Punkt 4.1! Wird extern auf MRDY zugegriffen, können Störungen auf dem Bildschirm sichtbar werden, die ansonsten durch die starre, phasenverschobene Kopplung von Videocontroller und CPU-Teil nicht auftreten.

Der CPU-Teil selbst weist keine Besonderheiten auf. Der RAM-Bereich kann völlig wahlfrei als Bildspeicher oder als Daten- und Programmspeicher verwendet werden. Wird er als Bildspeicher definiert, wird sein Bitmuster auf dem Monitor abgebildet. Dies kann sowohl ein etwa dort geladenes Programm, wie auch eine sinnvolle Darstellung sein.

Über ein PIA ist ein einfacher Timer angeschlossen, der für den Single-Step-Betrieb benötigt wird (Vgl. Punkt 6.2!).

Der Funktionsblock Floppy-Disk-Controller ist um den Controller-Chip WD1794 aufgebaut. Alle Shugart-kompatiblen 8"-Laufwerke sind direkt an den Übergabestecker der Platine anschließbar (Maximal 4 Laufwerke double side). 5"-Laufwerke können über die ELTEC-Adapterplatine angeschlossen werden. Hierbei ist auch double density möglich. Dazu ist der Controller-Chip auszutauschen.

Bild 2: Funktionsblattschaltbild CPU



Funktionsblock CPU

4.1 CPU

Bitte vergleichen Sie das Blockschaltbild Bild 2!

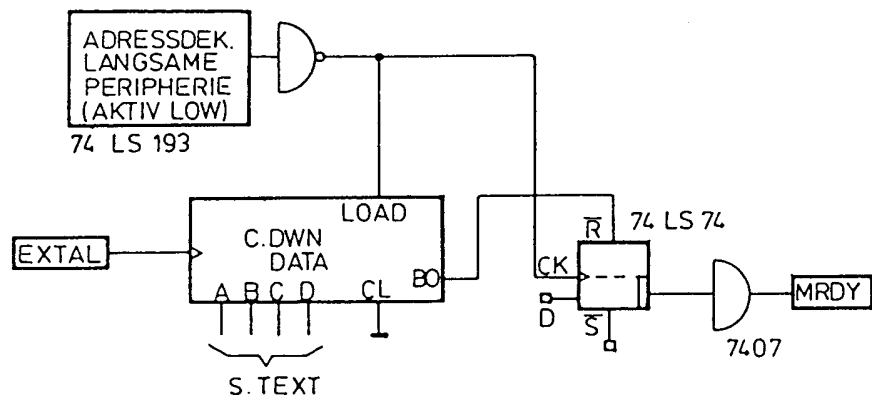
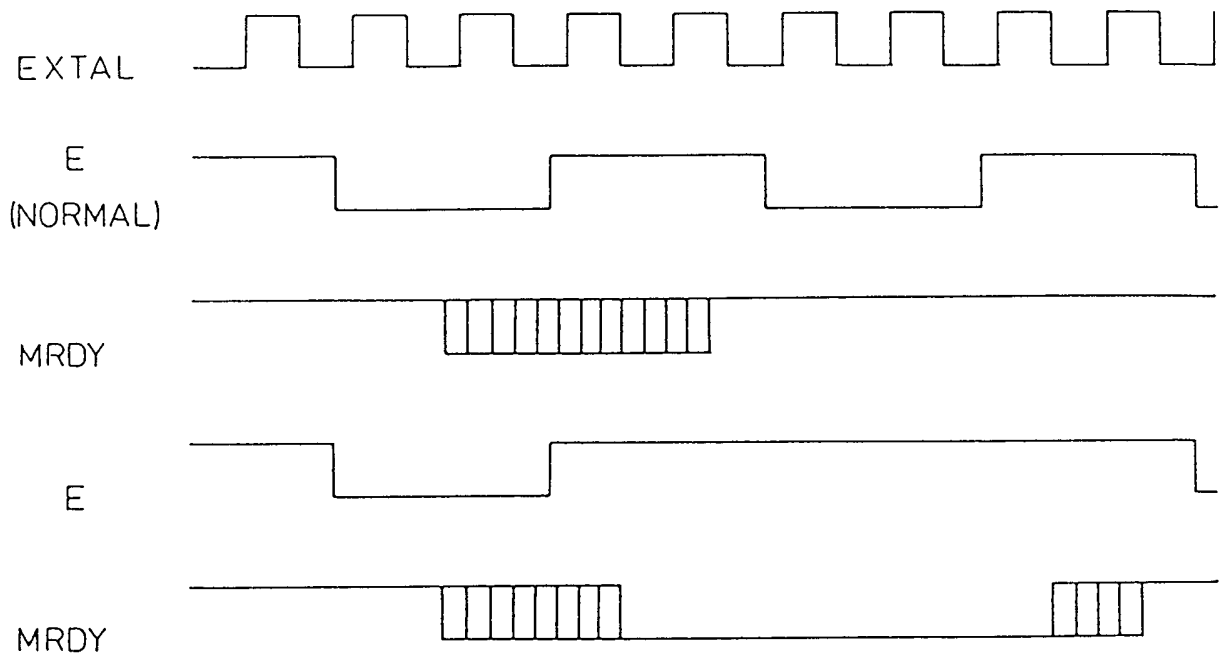
Die verwendete CPU MC6809 (IS17) gilt mit Recht als die modernste 8-Bit-CPU. Sie verfügt über zwei Akkumulatoren A und B, zwei Indexregister X und Y und zwei Stackpointer S und U. Ein direct-page-register erlaubt die direkte Adressierungsart im gesamten Adressraum. Obwohl der Datenbus nur 8 Bit breit ist, sind CPU-interne 16-Bit-Operationen möglich. Der Befehlssatz ist sehr leistungsfähig und die Adressierungsarten sind sehr vielfältig. Insgesamt ergeben sich etwa 1400 verschiedene Op-Codes. Der Adressraum umfaßt 64 KByte (16 Bit breiter Adressbus). Nähere Einzelheiten entnehmen Sie bitte dem in dieser Dokumentation enthaltenen Datenblatt und dem '6809 programming manual'.

Die CPU-Taktfrequenz EXTAL beträgt 5,3586 MHz (Periodendauer: 187 ns). Der CPU-interne Teiler generiert daraus die beiden Quadratursignale E und Q. Deren Frequenz liegt bei 1,33965 MHz. Ein E-Zyklus dauert damit 746 ns.

Auf die Leitung MRDY wird intern im Augenblick des Anlegens der Versorgungsspannung zugegriffen. MRDY ist normalerweise log.'1' (Vgl. Punkt 3!).

Beim Zugriff auf MRDY von außen ist prinzipiell darauf zu achten, daß E immer um ganze Perioden verzögert werden muß. Eine mögliche Schaltung dazu zeigt Bild 3. Die Beschaltung der Eingänge des programmierbaren Zählers hängt davon ab, wann die Auswahlleitung der langsamen Peripherie aktiv wird und um wieviele Perioden E gezogen werden soll. Vgl. Sie auch das Datenblatt MC6809! Störungen auf dem Bildschirm sind bei gezogenem E-Signal nicht zu vermeiden.

Bild 3: Zugriff auf MRDY des Prozessors



4.2 Daten- und Adressbus

Der Datenbus der CPU wird doppelt gepuffert: IS18 treibt den internen, IS19 den externen Datenbus. Die Steuerung der DB-Treiber wird in IS53 (PAL2) realisiert. DBEN aktiviert mit log.'0' den internen Datenbus, während die CPU-Leitung R/W die Richtung steuert. TSCDA aktiviert mit log.'0' den externen Datenbus, DIRDA steuert die Richtung (log.'0': CPU sendet Daten). In die Datenbussteuerung gehen die beiden Leitungen PS1, PS2 und TSCD ein. Die beiden Platinenselectleitungen geben bei PS1 = PS2 = log.'1' die Peripherie auf der Platine E2-V6 frei. TSCD ist normalerweise log.'1'. Gibt die CPU die Kontrolle über den Datenbus z.B. an einen DMA-Controller ab, kann dieser mit TSCD = log.'0' den Daten- und Adressbus, sowie die R/W-Leitung steuern.

Der Adressbus wird mit IS1 und IS2 gepuffert. Die Leitung TSCA erlaubt es, den Adressbus mit log.'0' gesondert in den tri-state zu bringen. Auf TSCA greift der Adressgenerator der Option 'Doppelte Auflösung' zu.

4.3 Expansion des Adressraums

Da der Prozessor MC6809 nur 64 KByte direkt adressieren kann, wurden für die Expansion des Adressraums Platinenselectleitungen geschaffen.

Der Adressraum des E2-Systems kann maximal 256 KByte betragen. Bis 192 KByte befinden sich auf 2 RAM-Erweiterungskarten. Bis 64 KByte können auf anderen physischen Einheiten (Baugruppen) liegen.

Die Leitung PS2 geht auf log.'0', wenn eine RAM-Bank einer RAM-Erweiterungskarte aktiviert ist; PS1 geht auf log.'0', wenn ein Device auf einer anderen Einheit außer E2 oder einer RAM-Erweiterungskarte selektiert ist. Auf der Platine E2-V6 wird PS1 und PS2 'NAND'-verknüpft zu /PS.

PS3 dient dazu, einzelne RAM-Erweiterungskarten abzuschalten (bei log.'0'). PS3 ist auf der Platine E2-V6 nicht angeschlossen.

4.4 Adressbelegung

Durch den Einsatz von PAL's ist die Adressbereichsaufteilung völlig flexibel. Standardmäßig ist jedoch folgende Adressbelegung vorgesehen:

\$FFFF	RST-Vektor, Interrupt-Vektoren EPROM-Steckplatz 2 (IS43)
\$FD38	Floppy-Disk-Controller
\$FD30	
\$FCFF	I/O und VICO1, VICO2
\$FCF0	EPROM-Steckplatz 2 (IS43)
\$F000(F800)	EPROM-Steckplatz 1 (IS42)
\$E000(F000)	RAM-Bank (IS55...IS63)
\$0000	

Die Ausdrücke in Klammern beziehen sich auf EPROM's vom Typ 2716 (2KByte).

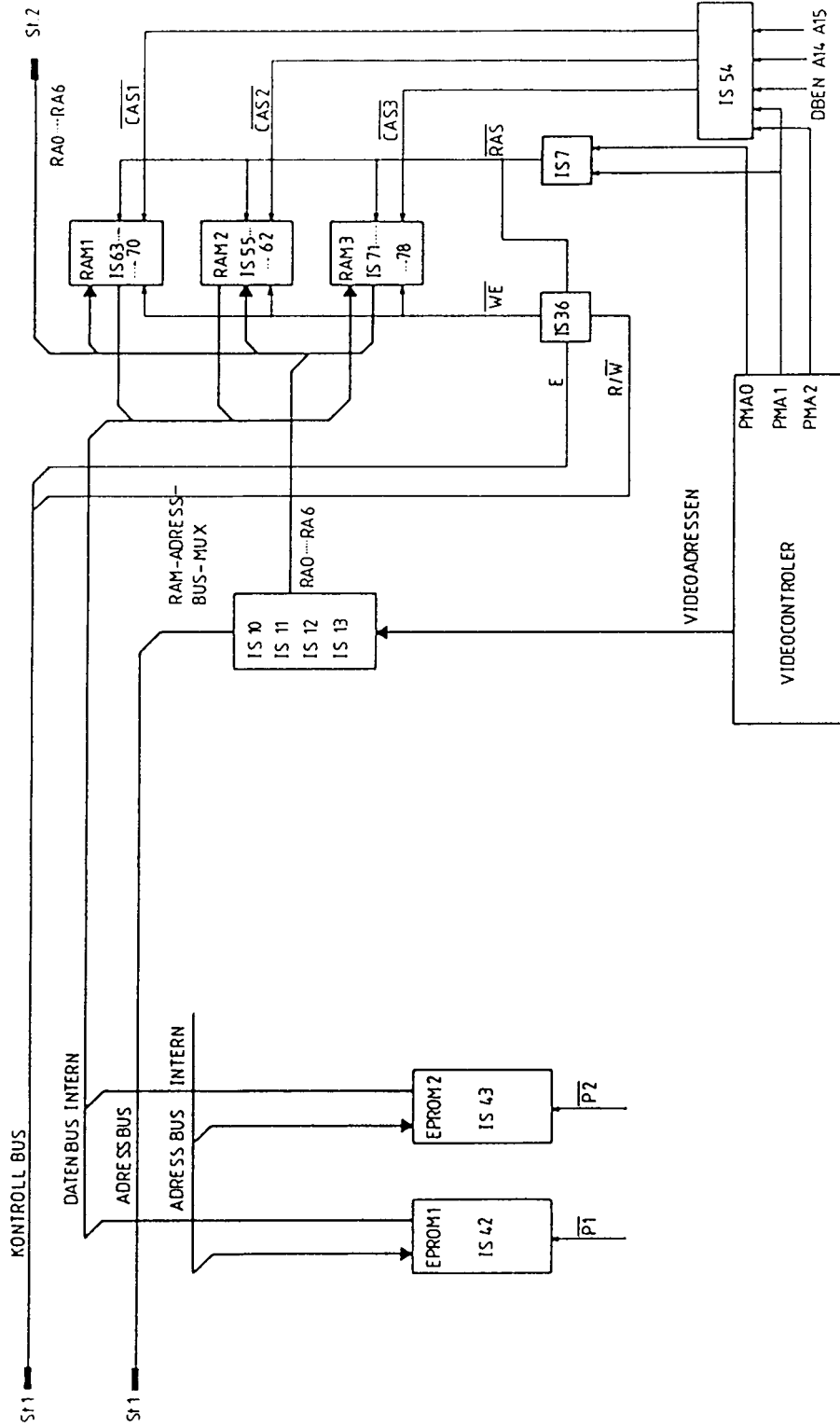
4.5 Realisierung der Adressdekodierung

Die Adressdekodierung erfolgt in IS52 und IS53 (PAL1 und 2). Die Leitungen /P1 und /P2 selektieren die zwei EPROM-Steckplätze (2716 oder 2732), sowie die Vordekodierung /GAPF für den Floppy-Disk-Controller (\$FD00 - \$FD7F).

In IS54 (PAL3) erfolgt die Selektierung der RAM-Bank. IS53 erzeugt die Dekodierung für die I/O-Device-Lücke im EPROM-Bereich /FCFX und selektiert die beiden Register des Videocontrollers VICO1 und VICO2 mit RG1 und RG2.

Die logischen Gleichungen für die Dekodierung sind im betreffenden Abschnitt (Punkt 9) aufgeführt.

Bild 4: Blockschaltbild RAM-Steuerung



5. Funktionsblock RAM/ROM

5.1 EPROM

Auf der Platine E2-V7 kann maximal 8 KByte EPROM auf 2 Steckplätzen (IS42, IS43) eingesetzt werden. Vorgesehen sind die Typen 2716 oder 2732. Je nach verwendetem Typ muß IS52 entsprechend programmiert sein. Der Funktionsblock EPROM weist keinerlei Besonderheiten auf.

5.2 RAM

Vergleichen Sie bitte das Blockschaltbild Bild 4!

Auf der Platine E2-V7 sind 64 KByte RAM in einer RAM-Bank untergebracht (IS55...63). Es werden dynamische RAM's vom Typ 4164 verwendet. Die RAM-Adressen RA0...7 werden von vier 2-zu-1-Multiplexern IS10...13 erzeugt, die sowohl zwischen Reihen- und Spaltenadressen umschalten, als auch zwischen Videocontroller- und CPU-Adressen. Der Reihenadressstrobe /RAS wird mit IS 7 aus PMA0 und 1 (Pixelmultiplexeradressen des Videocontrollers) erzeugt. Der Spaltenadressstrobe /CAS wird in IS54 (PAL3) generiert. Er besorgt die Selektierung der RAM-Bank. IS36.1 liefert das /WE-Signal. Eine Verknüpfung mit E verhindert, daß während des Videocontrollerzugriffs in das RAM geschrieben werden kann. Die RAM's werden im 'early-write-mode' betrieben. Die Leitung CRAB schaltet bei log.'0' und E = log.'1' die Videocontrolleradressen auf den RAM-Adressbus durch. Davon macht nur die Option 'TV-Bild-DMA' Gebrauch. Die Speicher werden mit dem Auslesen auf den Videoausgang aufgefrischt. Ist die gesamte Karte deselektiert, geschieht der Refresh nach der 'RAS-only'-Methode.

Zum Betrieb von RAM-Erweiterungskarten sind auf St.2 gelegt:

Signal	Pin Nr.	Bedeutung
RA0	c15	RAM-Adressleitung
RA1	c16	RAM-Adressleitung
RA2	c17	RAM-Adressleitung
RA3	c18	RAM-Adressleitung
RA4	c19	RAM-Adressleitung
RA5	c20	RAM-Adressleitung
RA6	c21	RAM-Adressleitung
RA7	c22	RAM-Adressleitung
/RAS	c2	Row-Adress-Strobe
/WE	c6	Write-Enable
CRAB	a16	Control-RAM-Adressbus

Bild 5: RAM-Steuerungs-Timing

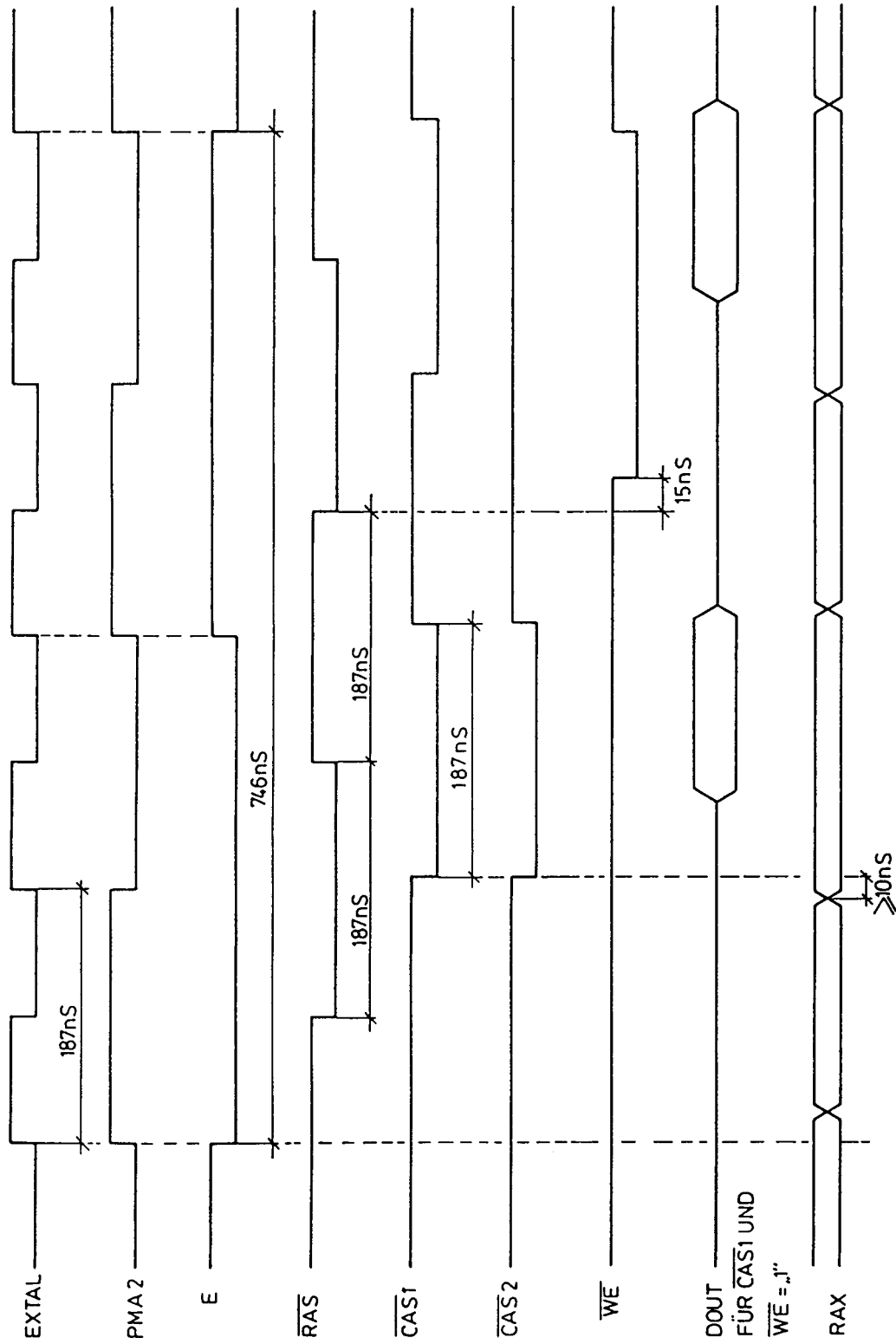
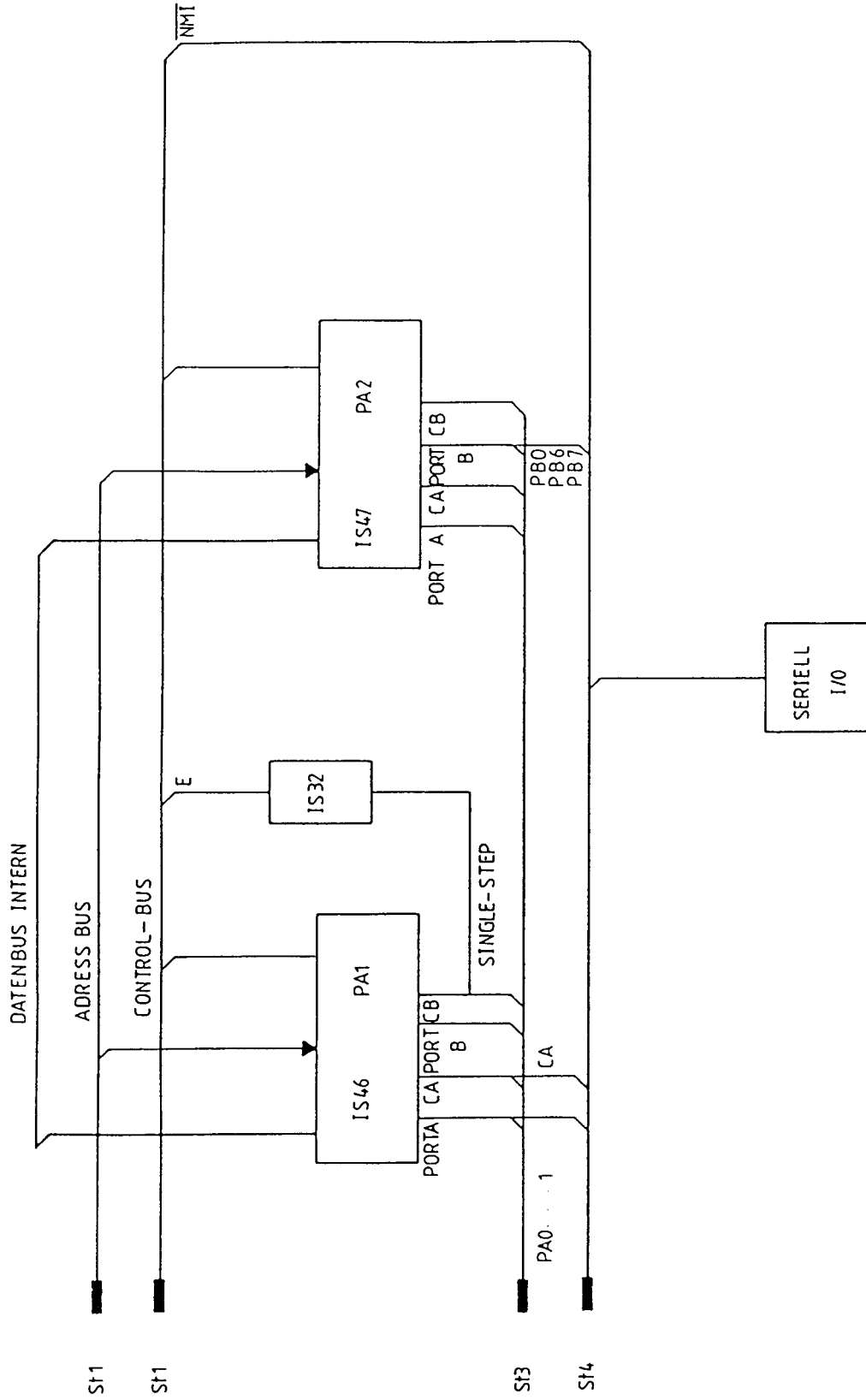


Bild 6: Blockschaltbild Parallel-I/O



6. Funktionsblock Parallel-I/O

6.1 Überblick, Adressbelegung, Interrupt

Vergleichen Sie bitte das Blockschaltbild Bild 6!

Es werden zwei periphere Interfaceadapter MC6820/6821 eingesetzt, die über zusammen 40 I/O-Leitungen verfügen. Diese sind ungepuffert auf Stecker St.3 und zum Teil zusätzlich auch auf Stecker St.4 herausgeführt.

Außer der ASCII-Tastatur-Schnittstelle und des Single-step-Timers, die zusammen 10, bzw. 11 Leitungen belegen, stehen diese Leitungen dem Benutzer zur freien Verfügung. Je nach zusätzlichen Optionen können aber weitere Leitungen von ELTEC-Produkten in Anspruch genommen werden. Eine Übersicht über eine Nutzung weiterer Leitungen finden Sie weiter unten. Sie können daraus ersehen, ob Ihnen je nach Ausbaustufe genügend periphere Leitungen auf der Computerplatine zur Verfügung stehen. Andernfalls müßte eine I/O-Karte zusätzlich eingesetzt werden.

Zur generellen Handhabung des PIA vergleichen Sie das Datenblatt im Anhang!

Adressbelegung:

PIA1 (IS46):

Port A Daten-Register (PIA1AD)	\$FCF0
Port A Control-Register (PIA1AC)	\$FCF1
Port B Daten-Register (PIA1BD)	\$FCF2
Port B Control-Register (PIA1BC)	\$FCF3

PIA2 (IS47):

Der PIA2 (IS47) liegt auf folgenden Adressen:

Port A Daten-Register (PIA2AD)	\$FCF8
Port A Control-Register (PIA2AC)	\$FCF9
Port B Daten-Register (PIA2BD)	\$FCFA
Port B Control-Register (PIA2BC)	\$FCFB

Interrupt:

Die Interruptausgänge des PIA1 gehen auf /IRQ des Prozessors.

Die Interruptausgänge des PIA2 gehen wahlweise (J4) auf /NMI oder /FIRQ des Prozessors.

6.2 Der PIA 1

Port A des PIA1 (IS46) wird standardmäßig von allen Monitorprogrammen als ASCII-Schnittstelle (Paralleltastatur) benutzt. Der (positive) Strobe STB der Tastatur geht auf den flankengetriggerten Eingang CA1. Der Einsatz einer Tastatur mit 'gelatchten' Ausgängen ist Bedingung für eine fehlerfreie Eingabe.

Der Standard-ASCII-Satz umfaßt 128 Zeichen. Demzufolge wären nur T-D0 bis T-D6 zur Übertragung notwendig. Das achte Bit T-D7 wird jedoch von manchen hochwertigen Tastaturen ebenfalls bedient. Abhängig von der verwendeten Firmware/Inputroutine wird T-D7 ignoriert oder abgefragt. Mit S1.7 kann das achte Datenbit wahlweise auf Stecker St4 gelegt werden. Alle Monitorprogramme für Floppy-Disk-Betrieb fragen T-D7 ab.

Der Single-Step-Timer IS32 (SST) ist mit seinem Ausgang Q6 an CB1 und seinem Reset-Eingang an CB2 des PIA1 angeschlossen. Ein weiterer Ausgang Q14 des SST kann mit S1.8 auf CA2 geschaltet werden. Dies ist für einige Anwendungsfälle, in denen ein relativ niederfrequentes Clocksignal für interruptgesteuerte Zeitintervallanwendungen benötigt wird, nützlich (Periodendauer etwa 12,2 ms). Das Printer-Spouling des FLEX-DOS macht hiervon Gebrauch.

Ausgang PIA1	Pin Nr. St.3	Pin Nr. St.4	Belegt durch ... von Option
PA0	21	25	T-D0 ASCII-Tastatur
PA1	22	23	T-D1 ASCII-Tastatur
PA2	19	21	T-D2 ASCII-Tastatur
PA3	20	19	T-D3 ASCII-Tastatur
PA4	17	17	T-D4 ASCII-Tastatur
PA5	18	15	T-D5 ASCII-Tastatur
PA6	15	13	T-D6 ASCII-Tastatur
PA7	16	(26)	(T-D7 ASCII-T)/EPROM-Programmer
CA1	23	14	STB ASCII-Tastatur
CA2	24	--	Q14 SST/EPROM-Programmer
PB0	11	--	EPROM-Programmer
PB1	12	--	EPROM-Programmer
PB2	9	--	EPROM-Programmer
PB3	10	--	EPROM-Programmer
PB4	7	--	EPROM-Programmer
PB5	8	--	EPROM-Programmer
PB6	5	--	EPROM-Programmer
PB7	6	--	EPROM-Programmer
CB1	2	--	Q6 Single-Step-Timer
CB2	1	--	Reset SST/EPROM-Programmer

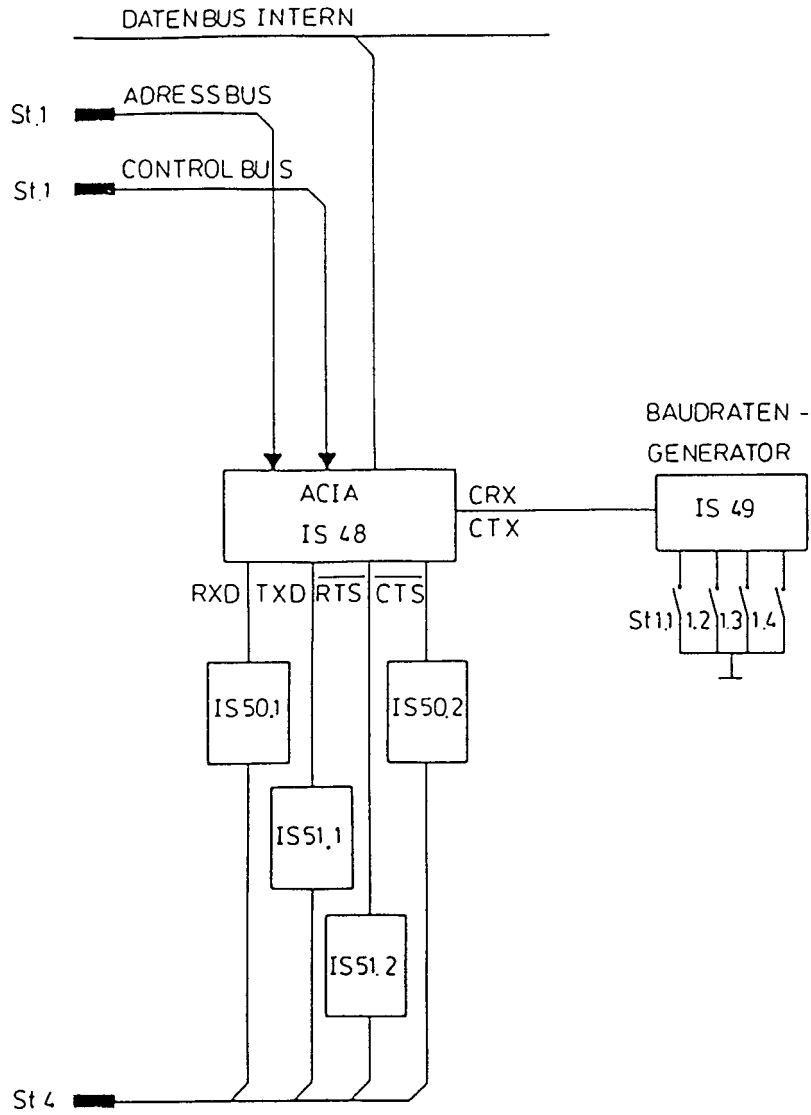
6.3 Der PIA 2

Der PIA2 (IS47) ist für den Benutzer völlig frei. Bei Bedarf wird jedoch der Philips Mini-Digital-Cassetten-Recorder (MDCR) an PIA2 betrieben, ebenso der Joy-stick, ein 'Piepser'

Mit Jumper J4 können die Interruptausgänge des PIA2 wahlweise an die CPU-Leitung /FIRQ oder /NMI angeschlossen werden.

Ausgang PIA2	Pin Nr. St.3	Pin Nr. St.4	Belegt durch ... von Option
PA0	45	--	RDA Philips Mini DCR
PA1	46	--	CIP Philips Mini DCR
PA2	43	--	WEN Philips Mini DCR
PA3	44	--	Reset Philips Mini DCR
PA4	41	--	WDA Philips Mini DCR
PA5	42	--	WCD Philips Mini DCR
PA6	39	--	Preset Philips Mini DCR
PA7	40	--	FWD Philips Mini DCR
CA1	50	--	RDC Philips Mini DCR
CA2	49	--	BET Philips Mini DCR
PB0	35	20	HOR Joy-Stick
PB1	36	--	EN1 MDCR
PB2	33	--	EN2 MDCR
PB3	34	--	EN3 MDCR
PB4	31	--	
PB5	32	--	
PB6	29	22	PIEP für Piepser
PB7	30	18	VER Joy-Stick
CB1	28	--	
CB2	27	--	

Bild 7: Blockschaltbild Seriell-I/O



7. Funktionsblock Seriell-I/O

7.1 Überblick (Adressbelegung, Interrupt)

Vergleichen Sie bitte das Blockschaltbild Bild 7!

Der Funktionsblock Seriell-I/O besteht aus dem ACIA-Baustein 6850 (IS48), dem Baudratengenerator IS49 mit Q1 und den Treiberbausteinen IS50 und IS51.

Der ACIA-Baustein belegt folgende Adressen:

ACIA-Control-Register (ACIACO) \$FCF4
ACIA-Daten-Register (ACIADA) \$FCF5

Der Interruptausgang des ACIA geht an /IRQ des Prozessors.

Die Schnittstelle arbeitet nach RS232C mit +/-12 Volt Pegel mit folgenden auf Stecker St.4 gelegten Signalen:

Signal	Pin Nr.	Bedeutung
TXD	6	Transmit Data (Ausgang)
RXD	5	Receive Data (Eingang)
RTS	7	Ready to send (Ausgang)
CTS	8	Clear to send (Eingang)
GND	10	Signalmasse
+ 12V	9	Zum Festlegen von Signalen
-12V	11	Zum Festlegen von Signalen

Zur generellen Handhabung des ACIA vergleichen Sie bitte das Datenblatt MC6850 im Anhang!

7.2 Einstellung der Baudrate

Über vier DIL-Schalter S1.1 bis S1.4 kann die Übertragungsgeschwindigkeit von 50 bis 19200 Baud (Bit/s) eingestellt werden.

Baudrate	S1.4	S1.3	S1.2	S1.1
50	E	E	E	E
75	E	E	E	O
110	E	E	O	E
134,5	E	E	O	O
150	E	O	E	E
300	E	O	E	O
600	E	O	O	E
1200	E	O	O	O
1800	O	E	E	E
2000	O	E	E	O
2400	O	E	O	E
3600	O	E	O	O
4800	O	O	E	E
7200	O	O	E	O
9600	O	O	O	E
19200	O	O	O	O

'O' bedeutet 'offen'; Schalter ist ausgeschaltet 'E' bedeutet 'ein'; Schalter ist eingeschaltet

7.3 Ankopplung an die Gegenstelle

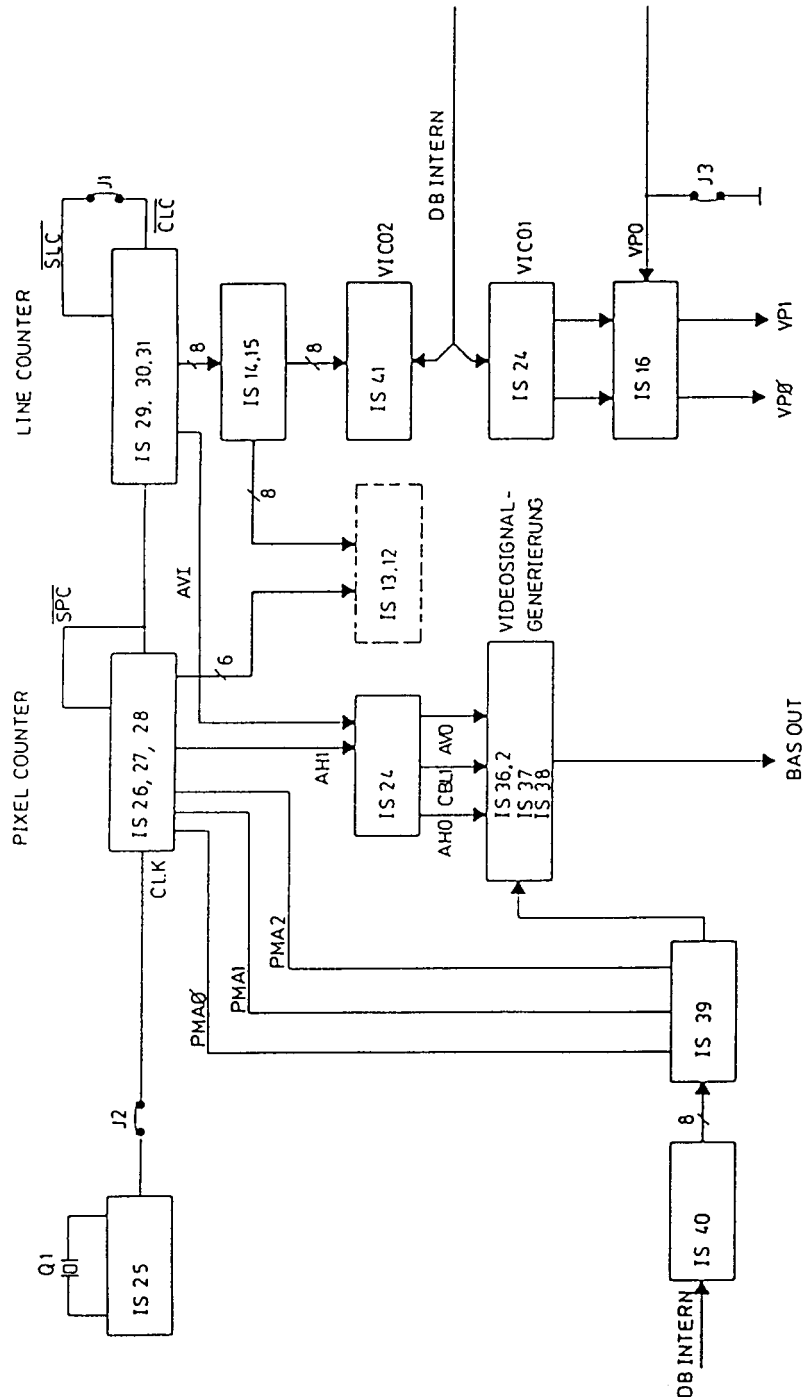
Die standardmäßige Verbindung von Gerät zu Gerät erfolgt über 25-polige D-Geräte-Buchsen mit folgender Minimalbelegung:

Pin Nr.	Signal	Signalrichtung
1	Abschirmung	---
2	TXD	Ausgang
3	RXD	Eingang
4	RTS	Ausgang
5	CTS	Eingang
7	Signal-Masse	---
9	+ 12 Volt	---
10	-12 Volt	---

+/-12 Volt dienen nur zum eventuellen Festlegen von Signalen.

Die Ankopplung an die Gegenstelle erfolgt prinzipiell so, daß im Verbindungskabel, keinesfalls im Gerät TXD und RXD, sowie RTS und CTS gekreuzt werden.

Bild 8: Blockschaltbild Videocontroller



8. Funktionsblock Videocontroller

8.1 Adressgenerierung

Vergleichen Sie bitte das Blockschaltbild Bild 8!

Der Videocontroller ist aus TTL-Bausteinen aufgebaut. Die zentrale Taktfrequenz CLK wird mit IS25 und Q2 generiert (10,7172 MHz). CLK kann mit Jumper J2 abgeschaltet werden. Dann muß der zentrale Takt von außen zugeführt werden. Davon wird bei der Option 'Fremdsynchronisation' Gebrauch gemacht.

IS26...28 bilden eine sich selbst zurücksetzende Zählerkaskade, die nach jedem Überlauf bei Hex D50 startend aufwärts zählt. Sie wird von CLK getriggert. Dieser Teil des Videocontrollers generiert die Byteadressen für den RAM-Auslesevorgang in einer Rasterzeile. Außerdem werden in IS26 die Pixel-Multiplexeradressen PMA0...2 erzeugt, sodaß alle drei 4-Bit-Zähler zusammen den 'Pixel Counter' darstellen. Eine Rasterzeile besteht aus 687 Pixel, von denen 512 sichtbar sind. Die restlichen 175 liegen in der Horizontalaustastlücke.

Das Signal /SPC (Set Pixel Counter) triggert eine weitere Zählerkette IS29...31, den Rasterzeilenzähler (Line Counter). Dieser arbeitet nach dem gleichen Prinzip wie der Pixel Counter. Er wird auf Hex EC7 vorgesetzt. Mit dieser Zählerkaskade werden die Rasterzeilenadressen generiert. Er zählt 312 Impulse (= 312 Zeilen) und setzt sich dann selbst zurück. Diese Rückführung kann mit Jumper J1 aufgehoben werden. Davon wird bei den Optionen 'doppelte Auflösung' und 'Fremdsynchronisation' Gebrauch gemacht. 256 Rasterzeilen sind sichtbar, 56 liegen in der Vertikalaustastlücke.

Im Gegensatz zu IS26...28 werden die von IS29..31 generierten Adressen nicht direkt für den RAM-Auslesevorgang benutzt. Zwei 4-Bit-Volladdierer IS14 und IS15 addieren einen 8-Bit-Offset zu den Rasterzeilenadressen, den das Videocontrollerregister VICO2 (IS41) auf Adresse \$FCF7 liefert. Dadurch wird hardwaremäßig weiches Scrolling realisiert, ein raster-, nicht textzeilenweises Durchrollen des Bildschirminhalts.

Das Videocontrollerregister VICO1 (IS24) auf Adresse \$FCF6 wählt die Speicherbank aus, die auf dem Bildschirm abgebildet werden soll. Auch hier ist ein Addierer IS16 zwischengeschaltet, um bei der Option 'Doppelte Auflösung' leicht zwischen zwei RAM-Bänken umschalten zu können. Dazu ist Jumper J3 vorgesehen, der einen Offseteingang VPO des Addierers standardmäßig auf log.'0' legt. Will man über mehr als eine Bildseite/RAM-Bank 'scrollen', so läßt sich das einfach dadurch realisieren, dass der Übertragsausgang von IS15 mit dem Übertragseingang von IS16 verbunden wird. Die resultierenden Seitenwahladressen sind VP0 und VP1 (Videopage).

8.2 Abbildung der RAM-Adressen auf dem Bildschirm

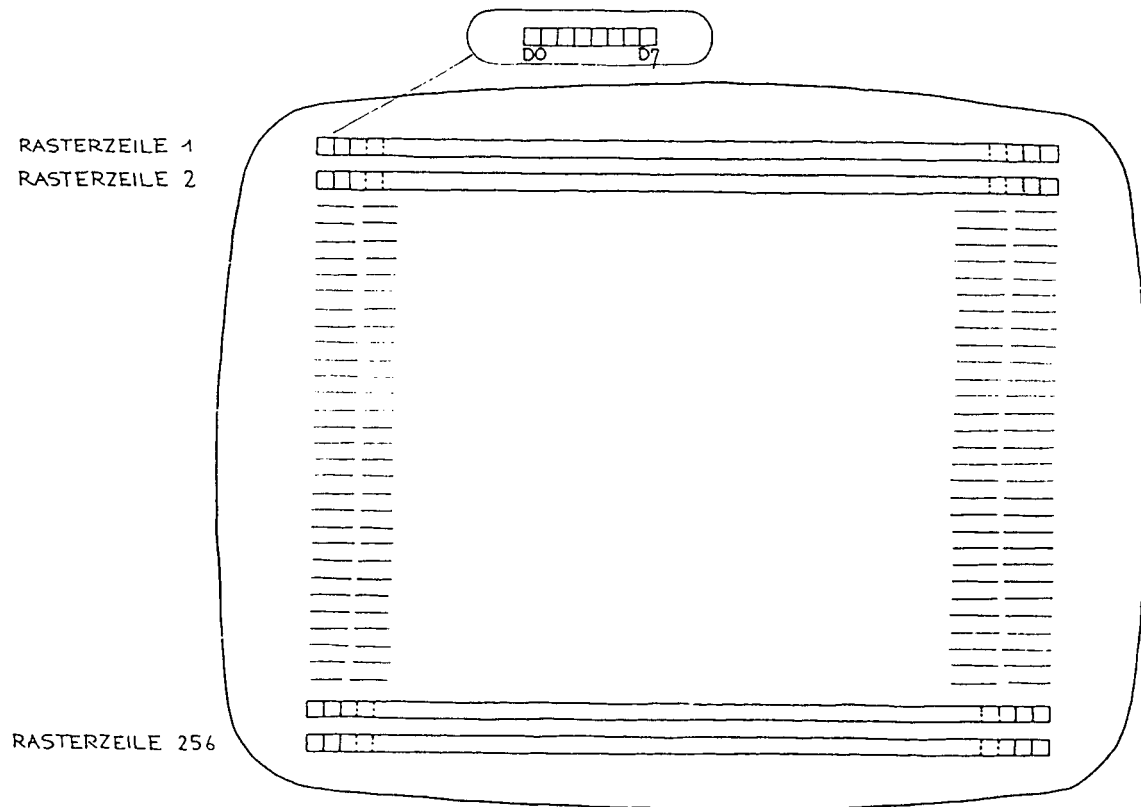
Vergleichen Sie bitte Bild 9!

Die beiden höchsten Videoadressen VP0 und VP1 ergeben sich aus dem Inhalt von VICO1 und dem Offset VPO an IS16. Sie selektieren die als Bildwiederholpeicher dienende RAM-Bank:

VICO1 D0	VICO1 D1	Offset VPO	VP0	VP1	videoseitig RAM-Adressen =	selektierte RAM-Bank
0	0	0	0	0	\$0000 - \$3FFF	= Bank 1
1	0	0	1	0	\$4000 - \$7FFF	= Bank 2
0	1	0	0	1	\$8000 - \$BFFF	= Bank 3
1	1	0	1	1	keine	
0	0	1	1	0	\$4000 - \$7FFF	= Bank 2
1	0	1	0	1	\$8000 - \$BFFF	= Bank 3
0	1	1	1	1	keine	
1	1	1	0	0	\$0000 - \$3FFF	= Bank 1

Eine selektierte RAM-Bank wird mit von links nach rechts und oben nach unten aufsteigenden Adressen dargestellt. Ist z.B. RAM-Bank 1 selektiert, so ist das Byte mit der Adresse \$0000 links oben, das mit der Adresse \$3FFF rechts unten abgebildet. Da 64 Byte zu je einer Rasterzeile organisiert sind, liegt das Byte mit der Adresse \$003F z.B. in der ersten Rasterzeile ganz rechts, das mit \$0040 in der zweiten Rasterzeile ganz links. Innerhalb eines Bytes wird D7 ganz links, D0 ganz rechts abgebildet.

Bild 9: Abbildung der RAM-Adressen auf dem Bildschirm



8.3 Synchronsignale, Austastsignale

Die Synchronsignale für die Horizontal- und Vertikalsynchronisation HSY und VSY werden mit IS37 erzeugt. Die Triggerung erfolgt über den Pixel Counter und den Line Counter. Die Verknüpfung mit den separaten Austastsignalen stellt sicher, dass Synchronimpulse nur in den Austastlücken erzeugt werden. Die separaten Austastsignale werden in IS54 (PAL3) zum zusammengesetzten Austastsignal CBL1 gemischt. Je nach Programmierung von PAL3 kann die Erzeugung der Synchronsignale unterbunden werden. Dies ist für die Option 'Doppelte Auflösung' von Bedeutung (Vergleichen Sie Punkt 9.4!).

In einem D-Flip-Flop IS36 wird die zusammengesetzte Austastmaske mit PMA1 synchronisiert und dieses Signal CBL2 dem Strobe-Eingang des Pixelmultiplexers IS39, sowie invertiert der Videosignalmischstufe zugeführt.

Die seitliche Bildlage läßt sich durch Variation des Zeitglieds R25/C13 justieren. Eine Verlängerung des HSY-Impulses ergibt eine Linksverschiebung des Bildfeldes auf dem Monitor.

Die Zeilen- und Bildwechselfrequenzen entsprechen der gängigen CCIR-Norm. Allerdings wird in der Grundversion kein Zwischenzeilenverfahren angewandt, was in Hinsicht auf Flickerfreiheit von Vorteil ist.

Zeilenwechselfrequenz	15,625KHz
Zeilenperiode	64us
Bildwechselfrequenz	50Hz
Bildperiode	20ms
Horizontal-Sync-Impuls	5us
Vertikal-Sync-Impuls	200us
Zeilen-Austastimpuls	16us
Vertikal-Austastimpuls	3,8ms

Die Synchronsignale sind auf Stecker St.5 aufgelegt. Vergleichen Sie Punkt 8.5!

8.4 Composite Video Signal, Monitoransteuerung

In IS40 wird mit der positiven Flanke des Prozessor-E-Signals das videoseitig adressierte Byte zwischengespeichert, das in IS39 serialisiert wird. IS39 ist ein 8-zu-1-Multiplexer. Des- sen Auswahladressen PMA0...2 werden von IS26 geliefert.

Über den Ausgangsmischer IS38 wird schließlich ein Composite-Video-Signal erzeugt, mit dem Standard-BAS-Monitore direkt angesteuert werden können. Die Mischwiderstände R26 für das Austastsignal und R27 für das Bildsignal sind steckbar ausgeführt. Bei Bedarf kön- nen sie so leicht geändert werden. Eine Verringerung von R27 z.B. ergibt eine Kontrasterhö- hung. Wird R26 verkleinert (bis ca. 39 Ohm), ergibt sich eine Schwarzwertabsenkung.

Bei der Originaldimensionierung für R26 (68 Ohm) und R27 (220 Ohm) ergibt sich ein BAS- Signal von etwa 1,5 V Spitze-Spitze an 75 Ohm. Es ist darauf zu achten, daß der verwendete Monitor eine Eingangsimpedanz von 75 Ohm hat. Bei falscher Anpassung ergeben sich - besonders bei langen Videoleitungen- Probleme, angefangen von verwaschener Darstellung bis hin zu Synchronisationsschwierigkeiten.

Sollen Monitore mit getrennten Synchron- und Videoeingängen benutzt werden, so stehen die Synchronsignale dazu an Stecker St.5 zur Verfügung. Verfügt der Monitor über einen TTL-Videoeingang, entferne man R26 und ändere R27 zu Null Ohm.

Das Videosignal kann wahlweise über den Stecker St.4 oder über St.1 abgeleitet werden. Es sind auch beide Alternativen gleichzeitig möglich. Auf der Platine E2-V6 wird es mit Ko- axkabel geführt, um Übersprechen von digitalen Signalen gering zu halten.

Es ist davon abzuraten, einen Fernsehempfänger als Display zu benutzen (Videosignal einem VHF/UHF-Träger aufmoduliert). Die geringe Bandbreite führt zu einem verschliffenen, un- scharfen Bild.

8.5 Videocontrollerregister, herausgeführte Signale

Das write-only-Register VICO1 auf Adresse \$FCF6 ist 8 Bit breit. Ohne alle videoseitigen Zusatz-Optionen werden nur D0 und D1 benötigt. Die restlichen Leitungen stehen dem Benutzer zur Verfügung. Die Option 'Doppelte Auflösung', sowie die Option 'TV-Bild-DMA' belegen jedoch weitere Registerausgänge.

Das write-only-Register VICO2 auf Adresse \$FCF7 liefert den 8-Bit-breiten Offset für die Rasterzeilenadressierung. Es werden alle Leitungen benötigt.

Folgende Signale des Videocontrollers sind auf Stecker St.2 herausgeführt:

Signale	Pin Nr.	Bedeutung
CBL2	c3	Composite Blanking Signal
CLK	c8	Zentraler Takt
PMA0	c11	Pixelmultiplexeradresse 0
PMA1	c10	Pixelmultiplexeradresse 1
PMA2	c12	Pixelmultiplexeradresse 2
/SPC	a20	Set Pixel Counter
VP0	a29	Video Page Select 0
VP1	a23	Video Page Select 1
VPO	a24	Video Page Offset
/CLC	a25	Carry Line Counter
/SLC	a26	Set Line Counter
Q2VICO1	c24	D2 von VICO1

Ausserdem sind für Video-Signale zur Monitoransteuerung folgende Leitungen reserviert:

Signal	Stecker 1 Pin Nr.	Stecker 4 Pin Nr.	Stecker 5 Pin Nr.
Video Out	ac30	2	1/4
Video Gnd	ac31	1/3/4	2/3
Hor.Sync		(3)	7
/Hor.Sync		(3)	8
Ver.Sync		(1)	6
/Ver.Sync		(1)	5
(CSY)		(1)	---

Bemerkung:

Auf Stecker St.4 sind Pin 3 und 4 auf der Platine mit Pin 1 (Video-Gnd) verbunden, um eine gewisse Abschirmung des BAS-Signals im Flachbandkabel zu erzielen. Soll ein Monitor mit getrennten Synchroneingängen betrieben werden, sind diese Verbindungen an den Lötungen auf der Lötseite aufzutrennen und die entsprechenden Signale per Handverdrahtung aufzulegen.

9. Programmable-Array-Logic-Bausteine (PAL's)

PAL's sind moderne Bausteine, bei denen mit Hilfe von durchbrennbaren Sicherungen bestimmte logische Verknüpfungen zwischen n Eingängen und m Ausgängen realisiert werden können. Die grundlegende logische Struktur der PAL's besteht aus einem programmierbaren AND-Array, dessen Ausgänge zu einem festen OR-Array führen. Dahingegen enthalten PROM's ein festes AND-Array, dessen Ausgänge in ein programmierbares OR-Array münden.

Auf der beschriebenen logischen Grundstruktur aufbauend, werden heute bereits zahlreiche Varianten hergestellt. Auf der Platine E2-V7 werden zwei recht einfach strukturierte PAL-Typen eingesetzt.

9.1 Vereinbarungen

Es werden folgende Symbole benutzt:

*	logisches UND
+	logisches ODER
=	Gleichheitszeichen
/	Invertierung
1	log.1
0	log.0

Mit diesen Symbolen werden logische Gleichungen gebildet; als Signalnamen werden Mnemonics verwendet. Die Zuweisung zwischen Pin Nr. und Signalnamen ist für jeden PAL aufgeführt.

Bei Signalen, deren aktiver Zustand log.'0' ist, und deren Mnemonic demzufolge ein Invertierungszeichen enthält, zeigt das Weglassen des Invertierungszeichens an, daß dieses Signal invertiert in die Verknüpfung eingeht.

Wird keine Beziehung zwischen einem Ausgang und irgendwelchen Eingängen angegeben, so bedeutet das, daß das Originalsicherungsmuster erhalten bleibt. Der logische Zustand an diesem Ausgang ist abhängig von der Logik des Bausteins. Bei 'L'-Typen (negative Logik) z.B. ist er in diesem Falle log.'1'.

Werden auf einer Platine PAL's eingesetzt, so werden sie für jede Platine gesondert bei '1' beginnend fortlaufend durchnummeriert. Dabei bezeichnet die erste Ziffer die fortlaufende Nummer, die zweite die Versionsnummer. Weitere Stellen der Bezeichnung weisen auf die Platine hin.

9.2 PAL1

PAL1 (IS52) ist ein PAL vom Typ 12L6 (12 Eingänge; 6 Ausgänge; negative Logik). In PAL1 werden die Select-Leitungen für die EPROM-Steckplätze /P1 + /P2 und eine im Adressbereich des EPROM 2 liegende, bei \$FC80 beginnende, 128 Byte breite Lücke /GAP dekodiert.

Außerdem wird eine DeviceLücke /GAPF (\$FD00 - \$FD7F) für den Floppy-Disk-Controller erzeugt, sowie ein Signal /GAPR generiert, das RAM im EPROM-Bereich ausblendet.

9.2.1 Zuweisung Pin Nr.-Signalnamen

Pin Nr.	Mnemonic	Bedeutung	Ein	Aus
1	A15	CPU-Adresse A15	x	
2	A14	CPU-Adresse A14	x	
3	A13	CPU-Adresse A13	x	
4	A12	CPU-Adresse A12	x	
5	A11	CPU-Adresse A11	x	
6	A10	CPU-Adresse A10	x	
7	A9	CPU-Adresse A9	x	
8	A8	CPU-Adresse A8	x	
9	A7	CPU-Adresse A7	x	
10	GND	Digitalmasse	---	---
11	/PS	'NAND' aus PS1,2	x	
12	E	E-Signal der CPU	x	
13	4KE	A11 f.EPROM 2732		x
14	/GAP	Vordekodierung		x
15	/GAPR	RAM-Ausblendung		x
16	/GAPF	Floppy-Cont.-Lücke		x
17	/P2	Select f.EPROM 2		x
18	/P1	Select f.EPROM 1		x
19	EPD	EPROM-Deselect	x	
20	VCC	+ 5 Volt	---	---

9.2.2 Logische Gleichungen

PAL1.1:

Für 2 KByte-EPROMS vom Typ 2716 in Mnemonics:

$$\begin{aligned} /P1 &= A15 \cdot A14 \cdot A13 \cdot A12 / A11 \cdot PS \cdot E \\ /P2 &= A15 \cdot A14 \cdot A13 \cdot A12 \cdot A11 \cdot PS \cdot E \cdot EPD \\ /GAPF &= A15 \cdot A14 \cdot A13 \cdot A12 \cdot A11 \cdot A10 / A9 \cdot A8 / A7 \cdot PS \\ /GAPR &= A15 \cdot A14 \cdot A13 \cdot A12 \\ /GAP &= A15 \cdot A14 \cdot A13 \cdot A12 \cdot A11 \cdot A10 / A9 / A8 \cdot A7 \cdot E \end{aligned}$$

Für 2 KByte-EPROMS vom Typ 2716 in Pin Nr.:

$$\begin{aligned} 18 &= 1 \cdot 2 \cdot 3 \cdot 4 / 5 / 11 \cdot 12 \\ 17 &= 1 \cdot 2 \cdot 3 \cdot 4 \cdot 5 / 11 \cdot 12 \cdot 19 \\ 16 &= 1 \cdot 2 \cdot 3 \cdot 4 \cdot 5 \cdot 6 / 7 \cdot 8 / 9 / 11 \\ 15 &= 1 \cdot 2 \cdot 3 \cdot 4 \\ 14 &= 1 \cdot 2 \cdot 3 \cdot 4 \cdot 5 \cdot 6 / 7 / 8 \cdot 9 / 12 \end{aligned}$$

PAL1.2:

Für ein 4 KByte-EPROM (IS43) vom Typ 2732 in Mnemonics:

$$\begin{aligned} /P2 &= A15 \cdot A14 \cdot A13 \cdot A12 // PS \cdot E \cdot EPD \\ /GAPF &= A15 \cdot A14 \cdot A13 \cdot A12 \cdot A11 \cdot A10 / A9 \cdot A8 / A7 \cdot PS \\ /GAPR &= A15 \cdot A14 \cdot A13 \cdot A12 \\ /GAP &= A15 \cdot A14 \cdot A13 \cdot A12 \cdot A11 \cdot A10 / A9 / A8 \cdot A7 \cdot E \\ 4KE &= /A11 \end{aligned}$$

Für 4 KByte-EPROMS vom Typ 2732 in Pin Nr.:

$$\begin{aligned} 17 &= 1 \cdot 2 \cdot 3 \cdot 4 / 11 \cdot 12 \cdot 19 \\ 16 &= 1 \cdot 2 \cdot 3 \cdot 4 \cdot 5 \cdot 6 / 7 \cdot 8 / 9 / 11 \\ 15 &= 1 \cdot 2 \cdot 3 \cdot 4 \\ 14 &= 1 \cdot 2 \cdot 3 \cdot 4 \cdot 5 \cdot 6 / 7 / 8 \cdot 9 / 12 \\ 13 &= /5 \end{aligned}$$

Hinweis:

Für Floppy-Disk-Systeme unter FLEX stehen nur 4KByte EPROM zur Verfügung. Für andere Systeme (z.B. mit Monitorprogramm V 2.4) kann mittels eines anderen PAL's auch der zweite EPROM-Steckplatz dekodiert werden. Die Bezeichnung dieser PAL's ist 1.4 (4K-Byte EPROM's 2732).

9.3 PAL2

PAL2 (IS53) ist ein PAL vom Typ 12L6 (12 Eingänge; 6 Ausgänge; negative Logik). Es ist zur Dekodierung des I/O-Device-Blocks eingesetzt, der standardmäßig im Bereich des EPROM-Steckplatzes 4 liegt, sowie zur Datenbustreibersteuerung.

9.3.1 Zuweisung Pin Nr.-Signalnamen

Pin Nr.	Mnemonic	Bedeutung	Ein	Aus
1	/GAP	Vordekodierung	x	
2	TSCD	TSC Datenbus	x	
3	E	E-Signal	CPU	x
4	A6	CPU-Adresse A6	x	
5	A5	CPU-Adresse A5 x		
6	A4	CPU-Adresse A4 x		
7	A3	CPU-Adresse A3 x		
8	A2	CPU-Adresse A2 x		
9	A1	CPU-Adresse A1 x		
10	GND	Masse	---	---
11	A0	CPU-Adresse A0	x	
12	/PS	Platinenselect	x	
13	DIRDA	Richtung ext.DB		x
14	/FCFX	I/O-Device		x
15	DBEN	TSC int.DB		x
16	RG2	Dekodier.\$FCF6		x
17	RG1	Dekodier.\$FCF7		x
18	TSCDA	TSC ext.DB		x
19	RW	R/W der CPU	x	
20	VCC	+ 5 Volt	---	---

9.3.2 Logische Gleichungen

PAL2.1:

In Mnemonics:

$$\begin{aligned} /FCFX &= GAP \cdot A6 \cdot A5 \cdot A4 \\ RG2 &= GAP \cdot A6 \cdot A5 \cdot A4 \cdot /A3 \cdot A2 \cdot A1 \cdot /A0 \\ RG1 &= GAP \cdot A6 \cdot A5 \cdot A4 \cdot /A3 \cdot A2 \cdot A1 \cdot A0 \\ DBEN &= E \cdot PS \\ DIRDA &= /RW \cdot TSCD + RW \cdot /TSCD \\ TSCDA &= E \cdot /PS \cdot TSCD + E \cdot PS \cdot /TSCD + E \cdot PS \cdot TSCD \cdot /RW \end{aligned}$$

In Pin Nr.:

$$\begin{aligned} 14 &= /1 \cdot 4 \cdot 5 \cdot 6 \\ 16 &= /1 \cdot 4 \cdot 5 \cdot 6 \cdot /7 \cdot 8 \cdot 9 \cdot /11 \\ 17 &= /1 \cdot 4 \cdot 5 \cdot 6 \cdot /7 \cdot 8 \cdot 9 \cdot 11 \\ 15 &= 3 \cdot /12 \\ 13 &= /19 \cdot 2 + 19 \cdot /2 \\ 18 &= 3 \cdot 12 \cdot 2 + 3 \cdot /12 \cdot /2 + 3 \cdot /12 \cdot 2 \cdot /19 \end{aligned}$$

9.4 PAL3

sp PAL3 (IS54) ist ein PAL vom Typ 10L8 (10 Eingänge; 8 Ausgänge; negative Logik). In PAL3 erfolgt die Selektierung der RAM-Bänke, sowie die Generierung der separaten Austastsignale und Synchronsignale.

9.4.1 Zuweisung Pin Nr.-Signalnamen

Pin Nr.	Mnemonic	Bedeutung	Ein	Aus
1	PMA1	Pixelmuxadresse	1	x
2	/SFC	Sel.FI-Controller	x	
3	/FCFX	I/O-Devicelücke	x	
4	DBEN	TSC int.DB	x	
5	RW	R/W der CPU	x	
6	/GAPR	RAM-Ausblendung	x	
7	AHI	Hor.Austast Ein	x	
8	AVI	Ver.Austast Ein	x	
9	PMA2	Pixelmuxadresse 2	x	
10	GND	Masse	---	---
11	CRAB	Control RAM-AB	x	
12	RABP	CPU-AB auf RAM-AB		x
13	RABV	Video-AB auf RAM-AB		x
14	CBL1	Composite Blanking		x
15	AVO	Ver.Austast Aus		x
16	AHO	Hor.Austast Aus		x
17	/LTS	Strobe für \$FD38		x
18	EPD	EPR0M-Deselect		x
19	/CAS	CAS f.RAM-Bank		x
20	VCC	+ 5 Volt	---	---

9.4.2 Logische Gleichungen

PAL3.1:

In Mnemonics:

$$\begin{aligned} /CAS1 &= PMA1*/GAPR*/DBEN*/PMA2 + PMA1*PMA2 \\ /LTS &= /DBEN*RW \\ RABP &= /PMA2*CRAB \\ RABV &= PMA2 + /CRAB \\ CBL1 &= AHI*AVI \\ AHO &= AHI \\ AVO &= AVI \\ EPD &= FCFX + SFC \end{aligned}$$

In Pin Nr.:

$$\begin{aligned} 19 &= 1*6*/4*/9 + 1*9 \\ 17 &= /4*5 \\ 12 &= /9*/11 \\ 13 &= 9 + /11 \\ 14 &= 7*8 \\ 16 &= 7 \\ 15 &= 8 \\ 18 &= /3 + /2 \end{aligned}$$

PAL3.2:

Abschalten des Vertikalsynchronsignals für Fremdsynchronisation und doppelte Auflösung

Statt

$$AVO = AVI$$

wird gebildet

$$AVO = AVI + /AVI \quad 15 = 8 + /8$$

9.5 Kundenspezifische Erstellung von PAL's

Wollen Sie speziell programmierte PAL's von ELTEC beziehen, so ist dazu die Erstellung eines Textfiles mit folgendem Format erforderlich:

Zeile 1: Mit Spalte 1 beginnend PAL-Typ (z.B. 'PAL12L6')

Zeile 2: beliebiger Text mit bis zu 80 Zeichen

Zeile 3: beliebiger Text mit bis zu 80 Zeichen

Zeile 4: Leerzeile

Zeile 5: Vereinbarung Pin-Nr. zu logischen Symbolen z.B.:

'A0 A1 A2 A3 A4 A5 A6 A7 A8 GND A9 A10 O1 O2 O3 O4 O5 O6 VCC'

Es wird festgelegt: A0 liegt an Pin 1, A1 an Pin 2 usw.

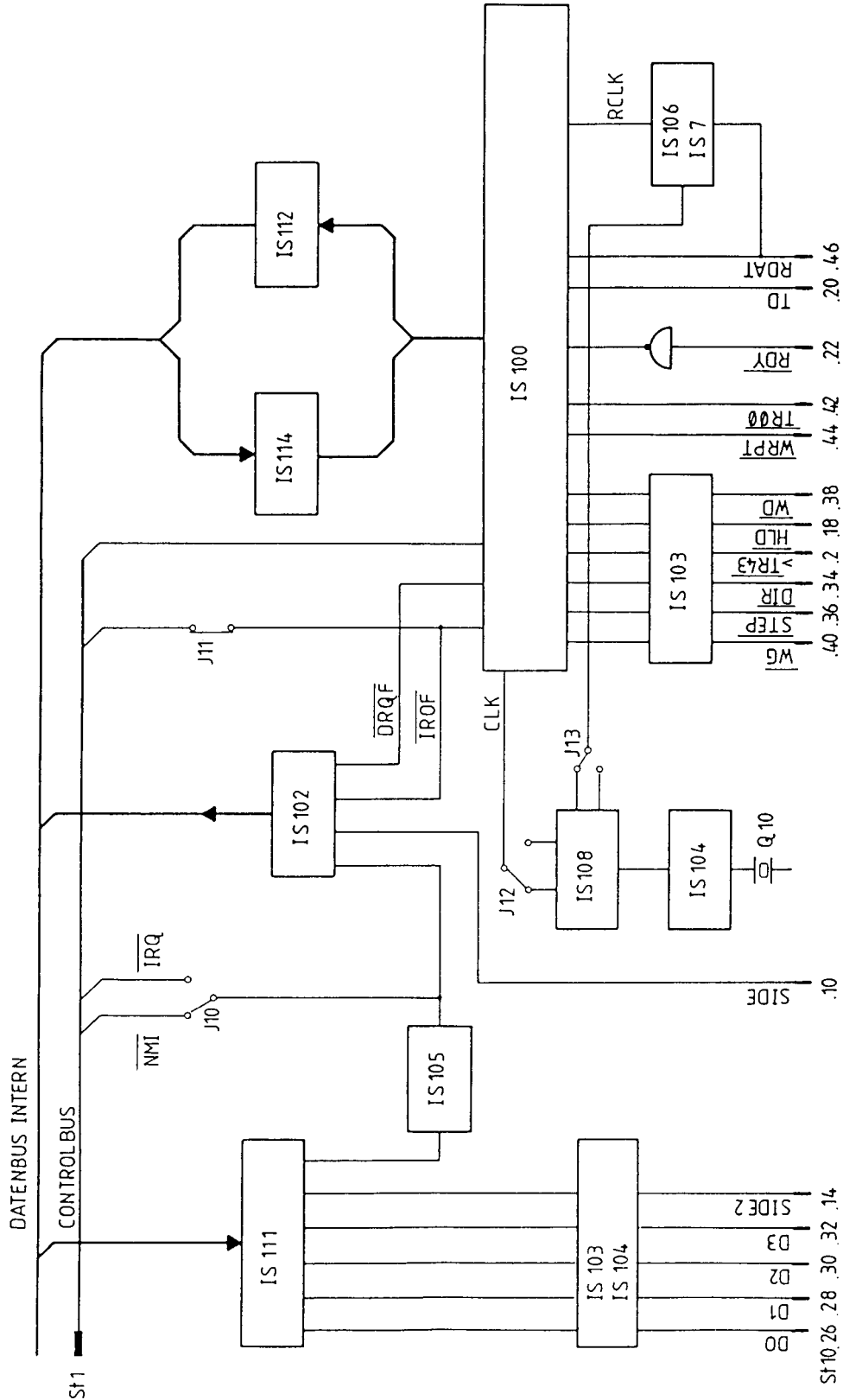
Ab Zeile 6: logische Gleichungen in PAL-Notation (Punkt 9.1!), immer beginnend in Spalte 1

Zeile n: Beliebiger Text

Als Datenträger sollte eine 8"-Diskette dienen. Andere Datenträger bedingen einen Aufpreis.

ELTEC hat übrigens einen speziellen Editor (auf Diskette) entwickelt, der ein sehr komfortables Arbeiten in Zusammenhang mit dem PAL-Programmer SD-20A ermöglicht.

Bild 10: Blockschaltbild Floppy-Disk-Controller



10. Funktionsblock Floppy-Disk-Controller

10.1 Überblick, Adressbelegung, Interrupt

Vergleichen Sie bitte das Blockschaltbild Bild 10!

Der um einen integrierten Floppy-Disk-Controller/Formatter-Chip aufgebaute Funktionsblock Floppy-Disk-Controller belegt folgende Adressen:

Controller-Chip

Status/Command-Register	\$FD30
Track-Register	\$FD31
Sektor-Register	\$FD32
Daten-Register	\$FD33
Drive-Select/Status-Anzeige	\$FD38(9/A/B)

Der Funktionsblock Floppy-Disk-Controller setzt sich aus folgenden Unterfunktionsblöcken zusammen:

- Drive-Select
- Status-Anzeige
- Raw-Daten-Aufbereitung
- Disk-Controller-Chip
- Laufwerk-Interface

Die Platine E2-V7 wird standardmäßig mit dem Controller-Chip WD1794 ausgeliefert. Soll mit double-density gearbeitet werden (nur bei 5"-Laufwerken möglich), ist der Controller-Chip WD1793 einzusetzen.

Der Interruptausgang des Controller-Chips /IRQF kann mit J11 auf die CPU-Interrupt-Leitung /IRQ gejumpert werden. Das Time-out-Signal kann mit J10 wahlweise auf die /IRQ- oder die /NMI-Leitung des Prozessors gelegt werden.

10.2 Drive-Select

Der Drive-Select ist durch ein write-only-Latch IS111 realisiert. Damit werden das Anwählen der Drives, die Auswahl der Seite der Platte, das Ein- und Ausschalten der Motore, die Umschaltung von single-density auf double-density, sowie den Start und Stop eines Timers steuert. Der Timer IS105 dient zur Überwachung des Plattenzugriffs und kann nach 2 bis 3 Sekunden einen Interrupt auslösen, wenn er nicht vorher durch Nullsetzen des 7. Bits zurückgesetzt wird. Das gesamte Drive-Select-Latch wird mit dem Reset des Prozessors gelöscht, sodaß beim Einschalten kein Drive selektiert ist.

Latch-Ausgang	Funktion
D0	log.'1' ----> Select Drive 0
D1	log.'1' ----> Select Drive 1
D2	log.'1' ----> Select Drive 2
D3	log.'1' ----> Select Drive 3
D4	log.'1' ----> Select Side 2
D5	log.'1' ----> Single density
D6	keine Funktion; frei
D7	positive Flanke: Trigger Timer log.'1' ----> Enable Timer-Interrupt

10.3 Status-Anzeige

Die Status-Anzeige kann nur gelesen werden. Mit ihr kann festgestellt werden, ob ein Interrupt vom Controller-Chip oder vom Timer kam. Weiterhin kann festgestellt werden, ob die eingelegte Platte ein- oder zweiseitig ist. Voraussetzung dazu ist, daß das Laufwerk das unterstützt. Der data-request-Ausgang des Controller-Chips kann mit der Status-Anzeige ebenfalls abgefragt werden.

Daten-Bit	Funktion
-----------	----------

D0	Ausgang des Timers
D1	Side-Ausgang des/der Laufwerke
D2	---
D3	---
D4	---
D5	---
D6	/IRQ-Ausgang Controller-Chip
D7	Datenrequest Controller-Chip (/DRQF)

10.4 Raw-Daten-Aufbereitung

Die Raw-Daten-Aufbereitung besteht aus einem Zähler IS106, der von der 4-fachen Clock-Frequenz des Controller-Chips getriggert und vom Signal RDAT (Daten-Ausgang der Laufwerke) gesetzt wird. Das gewonnene mit IS7 durch zwei geteilte Signal ist das Read-Clock-Signal für den Controller-Chip.

10.5 Disk-Controller-Chip

Der Disk-Controller-Chip übernimmt alle wesentlichen Funktionen, wie Schreiben, Lesen, CRC (Cyclic Redundancy Code)-Bildung, Kopf laden, Suchen, Steppen usw. Eingesetzt wird der Controller-Chip WD1794 für single density. Für single und double density (nur bei 5'') muß der Typ WD1793 verwendet werden. Durch bestimmte Eigenschaften des Controller-Chips kann ein in dessen Register eingeschriebenes Datenbyte nicht sofort verifiziert werden. Dadurch kommt es z.B. bei Verwendung der 'M'-Funktion der Monitorprogramme zu einer Fehlermeldung, da diese sofort prüfen, ob die angewählte Adresse richtig beschrieben wurde. Nochmaliges Verifizieren mit der '.'-Funktion ergibt, daß das Track-, Sektor- und Datenregister Daten korrekt übernehmen. Das Command-Register ist nur beschreibbar, das Status-Register kann nur gelesen werden.

Bei der Datenübertragung zwischen CPU und Disk-Controller-Chip müssen feste Zeiten eingehalten werden. Es bestehen mehrere Möglichkeiten, um das Data-Request-Signal abzufragen:

1. Abfrage des Status-Registers des Controller-Chips
2. Abfrage der Status-Anzeige (Bit D7 von \$FD38)
3. Die /IRQF-Leitung wird über J11 mit der /IRQ-Leitung der CPU verbunden.

Werkseitig wird die Platine E2-V7 so eingestellt ausgeliefert, daß der Ausgang des Timers mit J10 auf die /NMI-Leitung des Prozessors gelegt ist.

Der Datenbus des Disk-Controller-Chips ist vom CPU-Datenbus über IS 112 und IS 114 abgekoppelt.

Zur generellen Handhabung des Disk-Controller-Chips vergleichen Sie bitte das Datenblatt im Anhang!

10.6 Laufwerk-Interface

Das Interface zu den Laufwerken (maximal 4 double-side-Laufwerke) besteht aus TTL-Treiber-Bausteinen. Die Leitungen führen zu einer 50-poligen Stiftleiste, die standardmäßig belegt ist. Shugart-kompatible 8"-Laufwerke können über ein Flachbandkabel direkt angeschlossen werden. 5"-Laufwerke werden über einen Adapter angeschlossen.

Der Interface Stecker St.10 ist folgendermaßen belegt:

Signal	Bedeutung	Pin Nr.	Ein	Aus
D0	Select Drive 0	26		x
D1	Select Drive 1	28		x
D2	Select Drive 2	30		x
D3	Select Drive 3	32		x
Side2	Seiten-Auswahl	14		x
Side	Seitenindikator	10	x	
/WRPT	Write Protect	44	x	
/TR00	Track-0-Indikator	42	x	
/RDY	Ready-Indikator	22	x	
/ID	Index-Pulse	20	x	
/WG	Write Gate	40		x
/STEP	Step	36		x
/DIR	Direction	34		x
/»TR43	Track greater 43	2		x
/HLD	Head load	18		x
/WD	Write data	38		x
RDAT	Raw read	46	x	

10.7 Umschaltung 8"-/5"-Laufwerke

Die Platine wird werksseitig für 8"-Laufwerke eingestellt ausgeliefert. Sollen 5"-Laufwerke betrieben werden, sind die Jumper J12 und J13 umzustecken.

11. Schalter

Bei Stecker St.4 ist ein 8-poliger DIL-Schalter S1 mit den Bezeichnungen S1.1 bis S1.8 angeordnet. Die werksseitige Einstellung geht aus Punkt 13.1 hervor.

S1.	Funktion	Dokumentiert in
1-4	Baudrateneinstellung	Punkt 7.2
5	beidseitig frei	---
6	beidseitig frei	---
7	T-D7 auf Stecker St.4	Punkt 6.2
8	Q14 des SST auf CA2	Punkt 6.2

12. Jumper

Bitte legen Sie die Platine so vor sich hin, dass die Stecker St.1 und St.2 vom Körper weg zeigen. Nachfolgend gebrauchte Richtungsangaben beziehen sich auf diese Lage.

Es bedeuten:

r	rechts von ...
l	links von ...
h	hinten...
v	vor...

Die werksseitige Einstellung geht aus Punkt 13.2 hervor.

Jumper	Funktion	Dokumentiert in	Lage
J1	verbindet CLC und SLC	Punkt 8.1	v IS106
J2	schaltet CLK auf IS26	Punkt 8.1	r St.1
J3	legt VPO auf log.'0'	Punkt 8.1	v IS9
J4	vorn: /FIRQ an IS47	Punkt 6.3	r IS17
J4	hinten: /NMI an IS47	Punkt 6.3	r IS17
J5	schaltet /FCFX auf PS3	--	l IS39
J10	rechts: Time out auf /IRQ	Punkt 9.	v IS50
J10	links: Time out auf /NMI	Punkt 9.	v IS50
J11	/IRQF an /IRQ	Punkt 9.	h IS100
J12	hinten: CLK für 8'	Punkt 9.	l IS100
J12	vorn: CLK für 5'	Punkt 9.	l IS100
J13	links: Datensep. 5'	Punkt 9.	h IS108
J13	rechts: Datensep. 8'	Punkt 9.	h IS108

13. Werksseitige Einstellung der Schalter und Jumper

13.1 Schalter

S1.1	S1.2	S1.3	S1.4	S1.5	S1.6	S1.7	S1.8
E	E	O	O	O	O	E	E

Folgende Funktionen sind damit eingestellt:

Die Baudrate für Seriell-I/O beträgt 4800 Baud.

T-D7 liegt auf Stecker St.4.

Interruptsignal für Printerspouling (Q14 des SST) geht an CA2 des PIA1.

13.2 Jumper

J1	J2	J3	J4	J5	J10	J11	J12	J13
E	E	E	/FIRQ	--	/NMI	--	8'	8'

14. Lieferform, Lieferumfang

Das Composite Video Signal wird sowohl auf Stecker St.1 wie auch auf Stecker St.2 mit Koaxkabel aufgelegt. R26 und R27 sind in Kelchkontakten bestückt.

Folgende Bauteile sind gesockelt:

CPU	IS17
EPROM1	IS42
EPROM2	IS43
PIA1	IS46
PIA2	IS47
ACIA	IS48
Baudratengen.	IS49
V-24-Empfänger	IS50
V-24-Sender	IS51
PAL1	IS52
PAL2	IS53
PAL3	IS54
RAM's	IS55...IS63
Floppy-Controller	IS100
Treiber	IS103;IS104

Bestückt sind St.1...St.4

Jede Platine wird mit einem Monitorprogramm bestückt ausgeliefert, das mindestens EPROM-Steckplatz 2 belegt.

15. Modifikationen bei Optionen

Es werden nur die Optionen aufgeführt, bei denen Modifikationen der Platine E2-V7 erforderlich sind. Vergleichen Sie bitte auch die Dokumentationen zu anderen Baugruppen.

15.1 Doppelte Auflösung

Die Option 'Doppelte Auflösung' erweitert das vertikale Raster auf 511 Zeilen. Es wird das Zwischenzeilenverfahren (interlaced mode) angewandt. .sp J1 und J3 werden entfernt.

PAL3.1 wird durch PAL3.2 ersetzt (Vgl. Punkt 9.4.2!).

15.2 Fremdsynchronisation

Die Option 'Fremdsynchronisation' erlaubt es, das Synchronraster des Videocontrollers auf ein externes Raster nach CCIR-Norm zu synchronisieren.

J2 wird entfernt.

PAL3.1 wird durch PAL3.2 ersetzt (Vgl. Punkt 9.4.2!).

15.3 Bildwiederholpeicher nicht auf E2-V7

Soll die Platine E2-V7 in Systemen betrieben werden, in denen der Bildwiederholpeicher nicht auf E2-V7 liegt, die Synchron- und Austastsignale jedoch weiterhin von E2-V7 kommen sollen, muß der steckbar ausgeführte Widerstand R27 entfernt werden.

Dies ist der Fall bei den meisten farbtüchtigen Systemen, sowie bei Bildbearbeitungssystemen mit erweitertem Bildwiederholpeicher.

15.4 Maximaler RAM-Speicherausbau

Mit zwei RAM-Erweiterungskarten kann der RAM-Speicher auf max. 254 KByte erweitert werden (bei FLEX-Systemen 252 KByte). Auf der Platine E2-V7 sind keine Modifikationen erforderlich. Die externe Floppy-Controller-Karte (mit IEC-Bus-Interface und DMA-Controller) kann ohne weiteres benutzt werden. Der Floppy-Controller auf E2-V7 ist dann abgeschaltet.

16. Stromversorgung

Die Platine E2-V7 benötigt folgende Versorgungsspannungen und -Ströme:

Symbol	Spannung	typ.Strom	Toleranz
+ +	+ 12 Volt	0,6 A	+/-0,5 V
+	+ 5 Volt	1,5 A	+/-0,2 V
--	-12 Volt	0,1 A	+/-0,5 V

Totalverlustleistung: ca. 11 VA

+/-12 Volt wird für die V-24-Treiber benötigt.
+ 5 Volt wird für alle Bauteile benötigt.

Belegung der Stromversorgung:

Spannung	Stecker St. 1	Stecker St. 2
+ +	a2	--
+	ac32	ac32
--	c2	--

Bitte sorgen Sie durch entsprechenden Einbau, bzw. Zwangskühlung dafür, daß die Verlustleistungswärme der Platine abgeführt wird.

17. Monitoprogramme

Bezeichnung	Kurzbeschreibung	zusätzlich benötigte Hardware
V 5.3	Standardmonitorprogramm für EUROCOM II V7 eine Bildebene auf dem EUROCOM ab Adresse \$8000 mit folgenden Funktionen: Änderung der User-Register Setzen und kontrollieren von Breakpoints Start eines Programms Löschen von Breakpoints Inspektion und Modifikation von Speicherinhalten Offsetberechnung bei relativer Adressierung Single-Step Speicherprotokoll in Tabellenform Benutzung als V24 Terminal 24 Zeilen a' 80 Charakter !! Tastaturanschluß parallel ASCII !! Vgl. 15.4!	keine
V 5.4	Monitorprogramm für EUROCOM II V7 Bildebene auf der RAM-Karte ab \$0000 FLEX-Betriebssystem auf dem EUROCOM II V7 sonst wie V 5.3	mindestens 1 RAM-Karte 32k FE .E2 00092

18. Sonstige Firmware

Bezeichnung	Kurzbeschreibung	zusätzlich benötigte Hardware
GRANEW V1.0	Grafikprogramm Dieses Grafikpaket enthält: einen allgemeinen Charaktergenerator Routinen für Punkt, Zeile, Spalte, Vektor, Dreiecke, Rechtecke, Parallelogramme, Trapeze, Kreise, Kreis- sektoren, Ellipsen, Ellipsensektoren, Joysticktreiber. Alle Flächen ausgefüllt oder als Rahmen. Programmlänge ca. 3k, voll relokativ Es kann bis zu 6 Bildebenen (64 Farben) bedienen	bei Bedarf RAM-Karten

Da das Softwareangebot laufend ergänzt und erweitert wird kann hier nur das wiedergegeben werden, was zur Drucklegung aktuell war.

Für weitere Informationen stehen Datenblätter zur Verfügung.
Eine Umfassende Information liefert das entsprechende Handbuch, welches gegen eine Schutzgebühr (Druckkosten) zu beziehen ist.

18. Belegung Stecker St.1

Belegung der 64-poligen VG-Leiste St.1

-Prozessorbus-

a	Pin Nr.	c
Masse	1	Masse
+ 12 Volt	2	-12 Volt
/RESET	3	-5 Volt
/RESET	4	PS1
/HALT	5	PS2
BA	6	n.c.(PS3)
Q	7	MRDY
/BREQ	8	R/W
EXTAL	9	E
A0	10	D0

A1	11	D1
A2	12	D2
A3	13	D3
A4	14	D4
A5	15	D5
A6	16	D6
A7	17	D7
A8	18	TSCA
A9	19	TSCD
A10	20	

A11	21	
A12	22	
A13	23	
A14	24	
A15	25	
/NMI	26	
/FIRQ	27	
/IRQ	28	Reserviert
Reserviert	29	BS
	30	Reserve f. Video Out

wie 31c	31	Reserve f. Video-Gnd
+ 5 Volt	32	+ 5 Volt

Reservierte Leitungen bitte nicht (anderweitig) beschalten!

19. Belegung von Stecker St.2

Belegung der 64-poligen VG-Leiste St.2 -Video- und RAM-Controller-Bus-

a	Pin Nr.	c
Masse	1	Masse
/FCFX	2	RAS
	3	CBL2
	4	
	5	Reserviert
	6	/WE
	7	
	8	CLK
	9	
	10	PMA 1

	11	PMA 0
	12	PMA 2
	13	
	14	
Reserviert	15	RA0
CRAB	16	RA1
	17	RA2
	18	RA3
	19	RA4
/SPC	20	RA5

21	RA6	
Reserviert	22	RA7
VP1	23	Reserviert
VPO	24	D3 von VICO1
/CLC	25	Reserviert
/SLC	26	Reserviert
Reserviert	27	Reserviert
Reserviert	28	Reserviert
VPO	29	Res. f. Comp.-Sy In
Reserviert	30	Res. f. Comp.-Sy Out

wie 31c	31	Reserve f. Video-Gnd
+ 5 Volt	32	+ 5 Volt

Reservierte Leitungen bitte nicht (anderweitig) beschalten!

21. Belegung von Stecker St.3

Pin Nr	Leitung	PIA-Nr.	Signal
1	CB2	1	belegt für Single-Step-Timer
2	CB1	1	belegt für Single-Step-Timer
3	Masse	4	Masse
5	PB6	1	
6	PB7	1	
7	PB4	1	
8	PB5	1	
9	PB2	1	
10	PB3	1	
11	PB0	1	
12	PB1	1	
13	+ 5 Volt		
14	+ 5 Volt		
15	PA6	1	T-D6; D6 ASCII-Interface
16	PA7	1	T-D7; D7 ASCII-Interface
17	PA4	1	T-D4; D4 ASCII-Interface
18	PA5	1	T-D5; D5 ASCII-Interface
19	PA2	1	T-D2; D2 ASCII-Interface
20	PA3	1	T-D3; D3 ASCII-Interface
21	PA0	1	T-D0; D0 ASCII-Interface
22	PA1	1	T-D1; D1 ASCII-Interface
23	CA1	1	T-STB; Strobe ASCII-Int.
24	CA2	1	
25	+ 12 Volt		für Mini-DCR
26	Masse		
27	CB2	2	
28	CB1	2	
29	PB6	2	
30	PB7	2	
31	PB4	2	
32	PB5	2	
33	PB2	2	
34	PB3	2	
35	PB0	2	
36	PB1	2	
37	+ 5 Volt		
38	+ 5 Volt		
39	PA6	2	
40	PA7	2	
41	PA4	2	
42	PA5	2	
43	PA2	2	
44	PA3	2	
45	PA0	2	
46	PA1	2	
47	Masse		
48	Masse		
49	CA2	2	
50	CA1	2	

Vergleichen Sie auch Punkt 6!

22. Belegung von Stecker St.4

Belegung der 26-poligen Stiftleiste St.4

-Tastatur-Anschluss, V-24-Schnittstelle, Joy-Stick, Video-Ausgang

Pin Nr.	Signal
1	wie 4 (Reserve für VSY,CSY)
2	Reserve für Video-Out
3	wie 4 (Reserve für HSY)
4	Reserve für Video-Ground
5	Receive data (Input); V-24
6	Transmit data (Output); V-24
7	Ready to send (Output); V-24
8	Clear to send (Input); V-24
9	+ 12 Volt
10	Ground
11	-12 Volt
12	Ground
13	T-D6; D6 ASCII-Interface
14	T-STB; Strobe ASCII-Interface
15	T-D5; D5 ASCII-Interface
16	+ 5 Volt
17	T-D4; D4 ASCII-Interface
18	VER; Joy-Stick
19	T-D3; D3 ASCII-Interface
20	HOR; Joy-Stick
21	T-D2; D2 ASCII-Interface
22	PIEP
23	T-D1; D1 ASCII-Interface
24	NMI; Prozessor
25	T-D0; D0 ASCII-Interface
26	T-D7; D7 ASCII-Interface

23. Belegung von Stecker St.5

Belegung der einreihigen Stiftleiste St.5

-Videosignale-

Diese 8-polige Stiftleiste wird nicht bestückt

Pin Nr.	Signal
1	Video-Ground
2	Video Out
3	Video Out
4	Video-Ground
5	/VSY
6	VSY
7	HSY
8	/HSY

Die separaten Synchronsignale HSY (Horizontalsynchronsignal) und VSY (Vertikalsynchronsignal) werden nur ausnahmsweise benutzt. Sie können bei Bedarf auf St.4 verdrahtet werden (siehe dort). Vergleichen Sie bitte Punkt 8.5!

24. Belegung von Stecker St.10

Belegung der 50-poligen Stiftleiste St.10 -Floppy-Controller-I/O-Bus-

Pin Nr.	Signal	Ein	Aus
2	/»TR43		x
4			
6			
8			
10	Side	x	
12			
14	Side2		x
16			
18	/HLD		x
20	/ID	x	
22	/RDY	x	
24			
26	DRIVE0		x
28	DRIVE1		x
30	DRIVE2		x
32	DRIVE3		x
34	/DIR		x
36	/STEP		x
38	/WD		x
40	/WG		x
42	/TR00	x	
44	/WRPT	x	
46	RDAT	x	
48			
50			

Alle ungeraden Pin Nr. führen Masse.

25. Stückliste

IS1	SN74LS244	IS2	SN74LS244	IS3	---
IS4	---	IS5	---	IS6	SN74LS04
IS7	SN7474	IS8	SN74LS02	IS9	SN7400
IS10	SN74S257	IS11	SN74S257	IS12	SN74S257
IS13	SN74S257	IS14	SN74LS283	IS15	SN74LS283
IS16	SN7LS283	IS17	MC6809	IS18	SN74LS245
IS19	SN74LS245	IS20	---	IS21	---
IS22	---	IS23	---	IS24	SN74LS377
IS25	SN74LS04	IS26	SN74193	IS27	SN74LS193
IS28	SN74LS193	IS29	SN74LS193	IS30	SN74LS193
IS31	SN74LS193	IS32	CD4020BCN	IS33	SN74LS126
IS34	---	IS35	---	IS36	SN7474
IS37	SN74123	IS38	SN7407	IS39	SN74151
IS40	SN74LS377	IS41	SN74LS377	IS42	EPROM1
IS43	EPROM2	IS46	MC6820/1	IS47	MC6820/1
IS48	MC6850	IS49	COM8146	IS50	MC1489
IS51	MC1488	IS52	PAL1	IS53	PAL2

IS54 PAL3
 IS55....IS62 4164; tRAS = max.200ns; 128 Cycle-refresh

IS100	WD1494B-02	IS101	SN7407	IS102	SN74LS244
IS103	SN74LS240	IS104	SN74LS240	IS105	SN74123
IS106	SN74LS193	IS107	---	IS108	SN74LS193
IS109	SN74LS10	IS110	SN7432	IS111	SN74LS273
IS112	SN74LS244	IS113	SNLS138	IS114	SN74LS373

R2	3K3	R3	27K	R12	47K
R13	3K3	R14	68K	R15	---
R19	1K0	R20	3K3	R21	100R
R22	---	R23	680R	R24	18K
R25	15K	R26	68R	R27	220R
R28	---	R29	3K3	R30	27K
R34	12K	R35	---	R36	---
R38	330R	R39	330R	R40	---
RN1	8*3K3	RN2	8*3K3	RN3	8*3K3
RN5	5*3K3	RN6	5*3K3	RN7	5*3K3
RN8	5*560R	RN9	5*180R		

C1	10uF;Ta	C2	10uF;Ta	C3	10uF;Ta
C4	10uF;Ta	C8	10uF;Ta	C9	10nF;Ker
C10	220pF;Ker	C11	47pF;Ker	C12	47nF;Ker
C13	1nF;MKM	C14	470pF;Ker	C15	470pF;Ker
C16	---	C18	10uF;Ta	C19	100pF;Ker
C22	33uF;Ta				

C30...C37 1uF; Ta alle übrigen: 47nF; Ker

D3 1N4148 D4 1N4148

Alle nicht aufgeführten Bauteile sind nicht bestückt.